

**UNIVERSIDAD AUTÓNOMA DE MADRID**

**ESCUELA POLITÉCNICA SUPERIOR**



**TRABAJO FIN DE MÁSTER**

# **Etapa de salida de módulo Hardware- In-the-Loop con convertidores digitales-analógicos de alta velocidad**

**Máster Universitario en Ingeniería de Telecomunicación**

**Autor: GÓMEZ DE MARCOS CARRETERO, Lidia**  
**Tutor: DE CASTRO MARTÍN, Ángel**

**FECHA: Julio 2019**



# **ETAPA DE SALIDA DE MÓDULO HARDWARE-IN-THE- LOOP CON CONVERTIDORES DIGITALES-ANALÓGICOS DE ALTA VELOCIDAD**

**AUTOR: Lidia Gómez de Marcos Carretero**  
**TUTOR: Ángel de Castro Martín**

**Hardware & Control Technology Laboratory**  
**Dpto. Tecnología Electrónica y de las Comunicaciones**  
**Escuela Politécnica Superior**  
**Universidad Autónoma de Madrid**  
**Julio de 2019**



## ***Resumen***

Hoy en día, en el proceso completo de desarrollo de un producto el tiempo de testeo del mismo es lo que más tiempo consume llegando en algunos casos a suponer un 80% del tiempo total. Es por este motivo por el que es necesario buscar técnicas que reduzcan este tiempo de pruebas. Gracias a esta necesidad aparece una técnica llamada Hardware-In-the-Loop (HIL) que emula el comportamiento del sistema que es necesario probar en tiempo real.

Este Trabajo Fin de Máster se centra en la aplicación de dicha técnica en controladores digitales presentes en convertidores electrónicos de potencia. La aplicación de HIL en dichos controladores es muy importante, ya que, se pueden evitar daños materiales muy cuantiosos ocasionados por la realización de pruebas sobre el sistema real. Esta técnica sustituye a la planta del esquema de un controlador por el modelo HIL de su funcionamiento y así poder “engañar” al regulador para que no sea capaz de distinguir si está controlando una planta real o su modelo HIL.

Pero el problema aparece al sustituir la planta analógica por su modelo digital. Esto es debido a que la planta entrega a su salida señales digitales y el regulador necesita en su entrada, que es la entrada del sistema real, señales analógicas. Es por esto por lo que aparece la necesidad de añadir una etapa de conversión Digital-Analógica situada entre la salida de la planta y la entrada del regulador.

Por lo tanto, en este TFM se intentará incorporar una etapa de conversión Digital-Analógica de alta frecuencia ( $> 10\text{MSPS}$ ) en el esquema de un controlador digital. Como se verá a lo largo de este trabajo, primero se han estudiado los convertidores disponibles en el mercado llegando a la conclusión de que no es posible la implementación de ninguno de ellos en nuestro sistema. Es por ello por lo que se ha optado por realizar el diseño de dicha etapa de conversión Digital-Analógica de alta frecuencia.

Se han realizado tres modelos de dicha etapa de conversión Digital-Analógica. En el primer modelo se han probado distintos circuitos de acondicionamiento para realizar la conversión Corriente-Tensión necesaria llegando a la conclusión de que el circuito que cuenta con entrada diferencial y alimentación positiva es el que ofrece resultados óptimos. En el segundo modelo se ha implementado dicho circuito de acondicionamiento y se han aumentado el número de canales de salida disponibles.

Finalmente, en el tercer modelo se han solucionado algunos problemas de diseño. Por lo tanto, con el tercer modelo se consigue una etapa de conversión Digital-Analógica optimizada que será incorporada en el esquema de un controlador digital.



### ***Palabras clave***

*DAC, HIL, convertidor de potencia, PCB, FPGA*

### ***Keywords***

*DAC, HIL, power converter, PCB, FPGA*





## ***Abstract***

Nowadays, up to an 80% of the total development time of a product corresponds to the testing process. For this reason, it is necessary to look for techniques that reduce this testing time. In particular, there is a technique called Hardware-In-the-Loop (HIL) that emulates the behavior of the system that needs to be tested in real time.

This Master's Thesis focuses on the application of this technique to digital controllers present in electronic power converters. The application of HIL in these controllers is very important, since it is possible to avoid considerable material damages caused by the realization of tests on the system. This technique replaces the actual plant of a controller scheme by its equivalent HIL model. This way, it is possible to "cheat" the controller so that it is unable to distinguish whether the plant is real or its HIL model.

However, the problem appears when replacing the analog plant with its digital model. This is due to the fact that the plant delivers digital signals at its output and the regulator needs analog signals at its input, which is the input of the real system. Consequently, there is need for a Digital-Analog conversion stage between the output of the plant and the regulator input.

Therefore, the objective of this Master's Thesis will be to incorporate a high-frequency Digital-Analog conversion stage ( $> 10\text{MSPS}$ ) in the scheme of a digital controller. As it will be explained throughout this work, the commercial converters have been studied first, concluding that it is not possible to implement any of them in our system. For this reason, we have decided to design the high-frequency Digital-Analog conversion stage.

Three models of this Digital-Analog conversion stage have been designed and fabricated. In the first model, different conditioning circuits have been tested to perform the necessary Current-Voltage conversion, concluding that the circuit with differential input and single supply is the one that offers optimal results. In the second model, this conditioning circuit has been implemented and the number of available output channels has been increased.

Finally, some design issues have been solved in the third model, achieving an optimized Digital-Analog conversion stage that will be incorporated to the scheme of a digital controller.



## ***Agradecimientos***

*A mi tutor, Ángel por haberme dado esta oportunidad y por tener siempre el chiste adecuado en el momento adecuado.*

*A mis padres, que gracias a ellos soy quien soy. Gracias por aguantarme en mis momentos más duros y por estar incondicionalmente conmigo en todo momento.*

*A Javi y a Juanma, por haber hecho el comienzo de esta nueva etapa mucho más fácil. Tengo a los mejores, lo sé.*

*A Omar. Contigo sobran las palabras. Gracias por aparecer en mi vida para quedarte y hacerme el día a día mucho más fácil.*

*A Marta y a Javi, gracias por llevar 7 años haciéndome sentir una más en vuestra casa. ¡Tenéis hija política para rato!*

*A Edu, por tener siempre palabras de ánimo cuando las cosas iban mal. Estoy muy agradecida de haberte conocido y estoy segura de que tengo un amigo para siempre.*

*Y por último y no por ello menos importante gracias a ti, Bea. Contigo me faltan hojas para agradecerte todos los momentos vividos. Gracias por ser compañera, amiga, hermana, confidente y sobre todo familia. Con personas como tú a mi lado estoy segura de que puedo conseguir todo lo que me proponga. ¡Contigo hasta el infinito compitrueno!*



# ÍNDICE DE CONTENIDOS

<b>1 INTRODUCCIÓN.....</b>	<b>1</b>
1.1 MOTIVACIÓN .....	1
1.2 OBJETIVOS.....	2
1.3 ORGANIZACIÓN DE LA MEMORIA .....	3
<b>2 ESTADO DEL ARTE .....</b>	<b>5</b>
2.1 EMPRESAS DESARROLLADORAS DE HIL .....	5
2.2 SOLUCIONES PARA CONVERSIÓN DA .....	10
2.2.1 DACs baja velocidad.....	10
2.2.2 DACs alta velocidad.....	13
<b>3 ACONDICIONAMIENTO DAC.....</b>	<b>17</b>
3.1 SINGLE ENDED / SINGLE SUPPLY .....	20
3.2 DIFFERENTIAL / DUAL SUPPLY .....	22
3.3 DIFFERENTIAL / SINGLE SUPPLY .....	23
<b>4 INTEGRACIÓN, PRUEBAS Y RESULTADOS .....</b>	<b>27</b>
4.1 PLACA 1.....	27
4.1.1 <i>Diseño</i> .....	27
4.1.2 <i>Resultados obtenidos</i> .....	30
4.2 PLACA 2.....	36
4.2.1 <i>Diseño</i> .....	36
4.2.2 <i>Resultados obtenidos</i> .....	39
4.3 PLACA 2 (SEGUNDA VERSIÓN).....	43
4.3.1 <i>Diseño</i> .....	43
4.3.2 <i>Resultados obtenidos</i> .....	45
4.4 CONCLUSIONES TRAS LAS PRUEBAS REALIZADAS.....	50
<b>5 CONCLUSIONES Y TRABAJO FUTURO.....</b>	<b>51</b>
5.1 CONCLUSIONES.....	51
5.2 TRABAJO FUTURO .....	52
<b>REFERENCIAS .....</b>	<b>53</b>
<b>GLOSARIO .....</b>	<b>- 1 -</b>

# ÍNDICE DE FIGURAS

<i>FIGURA 1 ESQUEMA DE UN CONTROLADOR EN LAZO CERRADO.....</i>	<i>1</i>
<i>FIGURA 2 CONTROLADOR CON ETAPA DE CONVERSIÓN DIGITAL-ANALÓGICA .....</i>	<i>2</i>
<i>FIGURA 3 TARJETA HIL DSP100/180 INTERFACE .....</i>	<i>6</i>
<i>FIGURA 4 SIMULADOR HIL 604 .....</i>	<i>6</i>
<i>FIGURA 5 INTERFAZ HIL <math>\mu</math>GRID DSP .....</i>	<i>6</i>
<i>FIGURA 6 PLACA DS2211 .....</i>	<i>7</i>
<i>FIGURA 7 MICROAUTOBOX II .....</i>	<i>7</i>
<i>FIGURA 8 AUTOMATION DESK .....</i>	<i>8</i>
<i>FIGURA 9 SIMULADOR OP4510 .....</i>	<i>8</i>
<i>FIGURA 10 OP5607 .....</i>	<i>9</i>
<i>FIGURA 11 OP5031 .....</i>	<i>9</i>

FIGURA 12 RED PITAYA .....	13
FIGURA 13 ANALOG DISCOVERY 2 .....	14
FIGURA 14 AD9767 .....	17
FIGURA 15 FUNCIONAMIENTO MODO INTERLEAVED.....	18
FIGURA 16 FUNCIONAMIENTO MODO DUAL-PORT.....	19
FIGURA 17 CONFIGURACIÓN SINGLE ENDED/SINGLE SUPPLY .....	20
FIGURA 18 CONFIGURACIÓN DIFFERENTIAL/DUAL SUPPLY.....	22
FIGURA 19 CONFIGURACIÓN DIFFERENTIAL/SINGLE SUPPLY.....	24
FIGURA 20 ESQUEMÁTICO PLACA 1 .....	29
FIGURA 21 RUTADO PLACA 1 .....	30
FIGURA 22 CAPA SUPERIOR PLACA 1.....	31
FIGURA 23 CAPA INFERIOR PLACA 1.....	31
FIGURA 24 CONEXIÓN CON ARTY-Z7 .....	32
FIGURA 25 VOUT1 Y VOUT2 PLACA 1.....	33
FIGURA 26 VOUT1 Y VOUT2 PLACA 1 (I).....	34
FIGURA 27 ANOMALÍA TENSIONES DE SALIDA PLACA 1 .....	35
FIGURA 28 TIEMPOS DE RESPUESTA CANAL 1 Y CANAL 2.....	36
FIGURA 29 ESQUEMÁTICO PLACA 2 .....	38
FIGURA 30 RUTADO PLACA 2 .....	39
FIGURA 31 CAPA SUPERIOR PLACA 2 .....	40
FIGURA 32 CAPA INFERIOR PLACA 2 .....	40
FIGURA 33 CONEXIÓN CON ARTY-7Z .....	41
FIGURA 34 VOUT1 Y VOUT2 PLACA 2.....	42
FIGURA 35 TENSIONES DE SALIDA PLACA 2 .....	42
FIGURA 36 ESQUEMÁTICO VERSIÓN 2.....	44
FIGURA 37 RUTADO VERSIÓN 2.....	45
FIGURA 38 CAPA SUPERIOR SEGUNDA VERSIÓN PLACA 2 .....	46
FIGURA 39 CAPA INFERIOR SEGUNDA VERSIÓN PLACA 2 .....	46
FIGURA 40 CONEXIÓN CON ARTY-Z7 .....	47
FIGURA 41 SALIDAS VOUTA, VOUTB, VOUTC Y VOUTD A VELOCIDAD MÍNIMA .....	48
FIGURA 42 SALIDAS VOUTA, VOUTB, VOUTC Y VOUTD A VELOCIDAD MÁXIMA .....	48
FIGURA 43 IRREGULARIDAD PRODUCIDA POR EL AMPLIFICADOR OPERACIONAL.....	49
FIGURA 44 IRREGULARIDAD PRODUCIDA POR EL AMPLIFICADOR OPERACIONAL A BAJA VELOCIDAD .....	49

## ÍNDICE DE TABLAS

TABLA 1 CARACTERÍSTICAS DACS EMPRESA DIGILENT.....	11
TABLA 2 CARACTERÍSTICAS DACS LCINDA1/LCINDA2.....	12
TABLA 3 CARACTERÍSTICAS RED PITAYA .....	13
TABLA 4 CARACTERÍSTICAS ANALOG DISCOVERY 2 .....	14
TABLA 5 COMPARATIVA AMPLIFICADORES OPERACIONALES.....	37

# 1 Introducción

---

## 1.1 Motivación

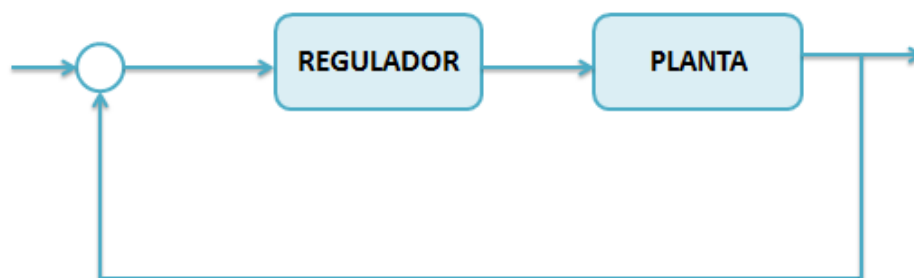
Hoy en día el desarrollo de sistemas complejos es cada vez mayor. Es por esto por lo que aparece la necesidad de minimizar el tiempo de comercialización y al mismo tiempo proporcionar un producto completamente probado. Por otro lado, cualquier cambio significativo tanto en el hardware como en el software de un producto debe someterse a una serie de pruebas exhaustivas para poder confirmar que los cambios realizados no producen efectos indeseados [1]. La realización de estas pruebas es lo que más tiempo consume en el desarrollo de un producto llegando en algunos casos a suponer un 80% del tiempo total, por lo tanto, es necesario encontrar técnicas con las que poder reducir este tiempo de pruebas.

Debido a estas necesidades ha aparecido una nueva técnica denominada Hardware-In-the-Loop (HIL) que es capaz de emular en tiempo real o a velocidades muy elevadas el comportamiento del sistema completo que se quiere testear. Con esta técnica es posible reducir notablemente el tiempo de pruebas y obtener unos resultados completamente análogos a los que se tendrían si se probara el sistema real.

Antes de la aparición de la técnica HIL, existían dos formas de testear el funcionamiento de un sistema.

- Realización de experimentos sobre el hardware real: Esta técnica es peligrosa ya que, en algunos casos un fallo en las pruebas realizadas puede ocasionar daños materiales y/o personales de gran importancia.
- Realización de una simulación software: Llevar a cabo esta técnica puede en algunos casos requerir un tiempo desorbitado. Además puede no ser demasiado fiel a la realidad y proporcionar datos erróneos del sistema que se quiere probar.

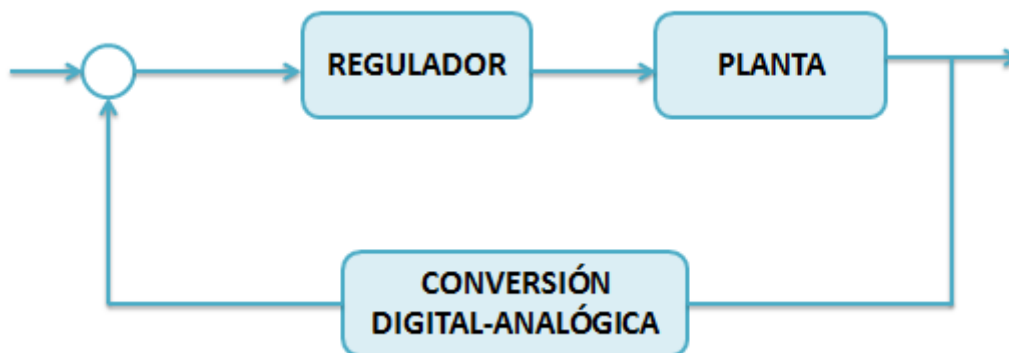
Este trabajo se va a centrar en la aplicación de la técnica HIL en los controladores digitales presentes en convertidores de potencia. Esto es debido a que en este tipo de sistemas es muy importante evitar los daños materiales ocasionados por fallos en las pruebas y también evitar que los datos ofrecidos por la simulación no sean fieles a la interacción del regulador con el convertidor conmutado. En la Figura 1 se muestra un esquema genérico de un controlador en lazo cerrado.



*Figura 1 Esquema de un controlador en lazo cerrado*

Esta técnica pretende sustituir a la planta del esquema visto anteriormente por el modelo HIL del funcionamiento de la misma. Con esto se pretende “engañar” al regulador para que sea incapaz de distinguir si está controlando una planta real o su modelo HIL.

En la implementación de esta técnica nos encontramos con un problema al sustituir la planta analógica por un modelo digital. Este problema llega ya que la planta entrega a su salida señales digitales y el regulador necesita señales analógicas en su entrada, que es la entrada del sistema real [2]. Por este motivo es necesaria la realización de una etapa de conversión Digital-Analógica intermedia a la salida de la planta y antes de la entrada del regulador. En la Figura 2 se muestra un esquema de dónde iría incluida dicha etapa de conversión.



*Figura 2 Controlador con etapa de conversión digital-analógica*

Finalmente, aunque existen numerosas soluciones comerciales para realizar la conversión digital-analógica ninguna se ajusta a las necesidades de nuestro sistema por los motivos explicados en el capítulo 2. Por ello, el objetivo de este TFM es la realización de esta etapa de conversión digital-analógica para su posterior implementación en un sistema de alta frecuencia.

## **1.2 Objetivos**

Como se ha explicado en el apartado anterior, es necesaria una etapa de conversión Digital-Analógica para ser incluida en un controlador. Es cierto que actualmente se comercializan multitud de placas que realizan dicha conversión pero nos encontramos con dos problemas principales que nos impiden su uso. El primero de ellos es que hay una serie de placas que trabajan a baja velocidad ( $<10$  MSPS) y por lo tanto no servirían para cubrir nuestras necesidades. El segundo problema es que hay fabricantes que comercializan placas que trabajan a alta velocidad pero con un coste tan elevado que hace inviable su incorporación en el sistema.

Debido a las razones citadas anteriormente, el objetivo de este TFM es la realización de la etapa de conversión digital-analógica para su posterior incorporación en un controlador de potencia.

Se considerará cumplido el objetivo del TFM cuando la PCB cumpla los siguientes requisitos:

- Funcionamiento en la placa de FPGA Arty-7Z de Digilent.



- No se utilizarán equipos externos a la PCB y la FPGA ya alimentada, como por ejemplo fuentes de alimentación adicionales.
- Implementación de un DAC de alta velocidad, considerando alta velocidad a velocidades superiores a 10 MSPS.

Finalmente, cabe destacar que para llegar al objetivo final es necesario diseñar, desarrollar y evaluar diferentes soluciones posibles para poder implementar la que más se ajuste a las necesidades anteriormente descritas.

### **1.3 Organización de la memoria**

La memoria de este TFM se divide en los cinco capítulos que se explican a continuación:

- En el capítulo 1 se realiza una introducción de este TFM explicando la motivación y los objetivos que persigue.
- En el capítulo 2 encontramos el estado del arte. En él se hace un estudio de las empresas desarrolladoras de HIL y se explican diversas soluciones para la realización de la conversión Digital-Analógica.
- En el capítulo 3 se explican diversos circuitos de acondicionamiento que es posible implementar el diseño de la placa.
- En el capítulo 4 se muestran la integración, pruebas y resultados de las tres placas desarrolladas.
- En el capítulo 5 se llega a una serie de conclusiones y se explica el posible trabajo futuro que este proyecto podría aceptar.



## 2 Estado del arte

---

Como se ha explicado anteriormente, hoy en día existen multitud de placas en el mercado que realizan la conversión Digital-Analógica que necesitamos incorporar en nuestro sistema. Después de realizar un estudio del mercado en este sector nos encontramos con dos problemas principales que nos impiden la incorporación de una placa comercial en nuestro controlador. El primero de ellos es la baja velocidad de funcionamiento de algunas placas conversoras y el segundo es el elevado precio de otras.

Es por esto por lo que este apartado estará centrado en el estudio del mercado actual en relación con la tecnología Hardware-In-the-Loop y será dividido en dos partes fundamentales.

Primero se va a realizar una breve descripción de algunas empresas que actualmente son líderes en el mercado de la tecnología Hardware-In-the-Loop mostrando algunos productos que comercializan.

Finalmente se van a analizar las distintas soluciones disponibles en el mercado para la realización de la conversión Digital-Analógica demostrando por qué es poco recomendable incorporar cualquiera de ellas en nuestro sistema.

### **2.1 Empresas desarrolladoras de HIL**

En esta primera parte del capítulo se van a estudiar diferentes empresas que hoy en día son líderes en el mercado de HIL y se van a mostrar algunos productos que comercializan.

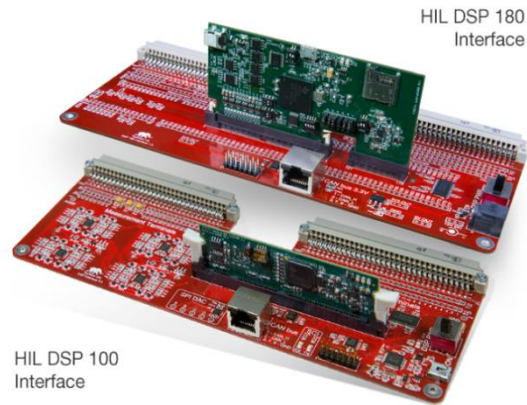
#### Typhoon HIL

Typhoon HIL [3] es una empresa fundada en 2008 y que a día de hoy es un referente en el mercado de Hardware-In-the-Loop. En concreto utiliza esta técnica en electrónica de potencia, microrredes y redes de distribución.

Su objetivo es la creación de productos (hardware/software) que se distinguen por su facilidad de uso, su alto rendimiento, la incorporación de tecnología de vanguardia y por su asequibilidad. De hecho fue la primera en incorporar dispositivos tipo FPGA para la técnica HIL en electrónica de potencia.

Algunos de los productos desarrollados en Typhoon HIL son:

- HIL DSP 100/180 Interface [4]: Gracias a estas tarjetas es posible acelerar el desarrollo de aplicaciones de electrónica de potencia. La interfaz HIL DSP proporciona una interfaz compatible entre los emuladores HIL de Typhoon y las tarjetas de control C2000. Gracias a este producto los desarrolladores pueden centrarse en el desarrollo del código de control DSP sin preocuparse por ningún problema que tenga que ver con la interfaz. En la Figura 3 se observa dicha tarjeta.



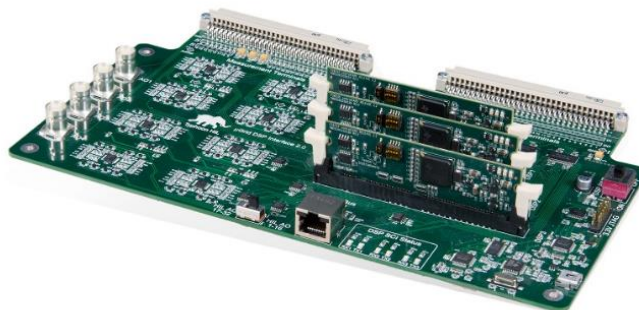
*Figura 3 Tarjeta HIL DSP100/180 interface*

- HIL 604 [5]: Este simulador es el más potente de los que existen actualmente en el mercado. Combinando este simulador con las diferentes herramientas de Typhoon HIL se eliminan totalmente los problemas tanto de interoperabilidad como de configuración. En la Figura 4 se observa el simulador HIL604.



*Figura 4 Simulador HIL 604*

- HIL  $\mu$ GRID DSP Interface [6]: Esta interfaz permite acelerar el desarrollo de aplicaciones de electrónica de potencia de convertidores múltiples. Es una buena solución para establecer una conexión en paralelo o para establecer estrategias de control de almacenamiento de energía en aplicaciones de microrredes. En la Figura 5 se observa dicha interfaz.



*Figura 5 Interfaz HIL  $\mu$ GRID DSP*

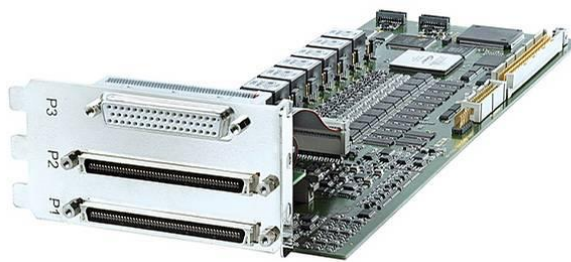
## dSpace

La empresa dSpace [7] se fundó hace más de 30 años en la Universidad de Paderborn y a día de hoy cuenta con más de 1.700 empleados alrededor del mundo y con más de 20.000 sistemas instalados. Es por ello por lo que hoy en día es una empresa que ocupa uno de los primeros puestos en producción de herramientas para el desarrollo y el testeo de sistemas de control.

Finalmente, es necesario destacar que esta empresa está presente en Estados Unidos (desde 1991), en Francia (desde 2001), en Japón (desde 2006) y en China (desde 2008).

Algunos de los productos desarrollados por la empresa dSpace son:

- DS2211 HIL I/O Board [8]: Esta placa ha sido diseñada para la simulación de hardware en aplicaciones automotrices y está diseñada para la simulación y medición de señales de automóviles. Combina una variedad de señales HIL de entrada/salida y contiene un acondicionamiento de señal para sistemas automotrices de 12V, 24V y 48V. En la Figura 6 se observa dicha placa.



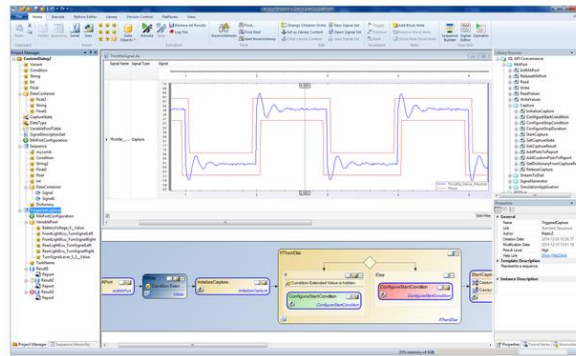
*Figura 6 Placa DS2211*

- MicroAutoBox II [9]: Este hardware permite equipar varios vehículos o una flota completa de prueba para verificar la confiabilidad de sus funciones de control. Además de la entrada/salida estándar, MicroAutoBox ofrece variantes con funcionalidad FPGA para extensiones de entrada/salida específicas de la aplicación y para aplicaciones FPGA programables por el usuario. En la Figura 7 se observa dicho hardware.



*Figura 7 MicroAutoBox II*

- Automation Desk [10]: Es una herramienta muy potente que es utilizada para la creación y automatización de testeo a través de HIL de unidades de control electrónico (ECUs). Los usuarios de este producto pueden crear y editar rutinas de prueba en un formato gráfico sin necesidad de tener grandes conocimientos de programación. Las librerías de las que dispone esta interfaz permiten una reutilización perfecta de las pruebas automatizadas en diferentes etapas de desarrollo. En la Figura 8 se observa dicho software.



*Figura 8 Automation Desk*

## Opal-RT

La empresa Opal-RT [11] es líder mundial en simulaciones en tiempo real y en equipos de prueba Hardware-In-the-Loop (HIL) para sistemas eléctricos, electromecánicos y de electrónica de potencia.

Desde su fundación en el año 1997 cada vez son más las industrias (automotriz, aeroespacial, electrónica de potencia, generación de energía, etc.) que han recurrido a esta empresa para la incorporación de la técnica Hardware-In-the-Loop.

Algunos de los productos desarrollados por Opal-RT son:

- OP4510 Simulator [12]: Es un simulador compacto que combina todas las fortalezas de las que dispone Opal-RT en la creación de prototipos de control de alto rendimiento y en la simulación Hardware-In-the-Loop. Este simulador de red eléctrica en tiempo real ofrece un alto rendimiento y mejora con respecto al modelo anterior en nivel de conectividad, capacidad de expansión y versatilidad. En la Figura 9 se observa dicho simulador.



*Figura 9 Simulador OP4510*

- OP5607 [13]: Ha sido diseñado con la placa de desarrollo Xilinx VC707 Virtex-7 para proporcionar acondicionamiento de señal adicional a los simuladores Opal-RT y a otras unidades de expansión. Puede recibir hasta 8 tarjetas de acondicionamiento analógicas o digitales que a su vez son capaces de entregar hasta 128 señales analógicas o 256 señales digitales adicionales. El diseño del OP5607 utiliza hasta 16 módulos SFP de fibra óptica de alta velocidad que se pueden usar para la comunicación de alta velocidad con otras unidades bajo prueba. En la Figura 10 podemos observar dicho hardware.



*Figura 10 OP5607*

- OP5031 [14]: El simulador OP5031 proporciona una plataforma ideal para aplicaciones de ciberseguridad en tiempo real, en las que únicamente se requieren protocolos de red como C37.118 e IEC61850 para la integración de hardware, así como para usuarios que simplemente desean acelerar sus simulaciones fuera de línea mediante el procesamiento en paralelo de la tecnología que ofrece la empresa Opal-RT. En la Figura 11 se observa dicho simulador.



*Figura 11 OP5031*

Tras estudiar las características de los productos que ofertan dichas empresas puede parecer innecesaria la realización de este TFM, ya que todos los equipos necesarios para realizar el testeo de sistemas con la técnica HIL es posible adquirirlos en el mercado. Pero lo cierto es que las empresas mencionadas anteriormente comercializan sus productos a un precio tan elevado que no se indica en la web pero que, en cualquier caso, siempre es superior a 10.000 € y en algunos casos puede ser superior a 50.000 €. Esto hace que para emular un convertidor conmutado sea inviable utilizar estos productos, ya que, sería más barato trabajar sobre el hardware real que comprar un sistema HIL comercial. Por ello, el apartado 2.2 va a centrarse en el estudio de las soluciones disponibles en el mercado para la conversión Digital-Analógica.

## **2.2 Soluciones para conversión DA**

Como se ha descrito en la introducción de este documento, el objetivo de este TFM es realizar la etapa de conversión Digital-Analógica que será implementada en un sistema Hardware-In-the-Loop.

En este apartado se van a estudiar las diferentes alternativas presentes en el mercado para realizar dicha conversión. Finalmente se demostrará la imposibilidad de implementar cualquiera de ellas en nuestro sistema debido al problema de la baja velocidad de funcionamiento ( $<10$  MSPS) o al elevado precio de las placas que funcionan a velocidades elevadas. Es por ello por lo que este apartado se va a dividir a su vez en otros dos. En el primero hablaremos de los DACs de baja velocidad mientras que en el segundo hablaremos de los DACs de alta velocidad.

### **2.2.1 DACs baja velocidad**

En la actualidad existen multitud de conversores Digitales-Analógicos en el mercado que a priori serían capaces de solucionar el problema que se plantea en este TFM. En este apartado se van a estudiar algunos modelos indicando las características principales de cada uno de ellos.

A continuación se muestran diferentes dispositivos creados por la empresa Digilent que permiten la conversión Digital-Analógica requerida.

#### Pmod DA4

El Pmod DA4 es un convertidor Digital-Analógico de 8 canales. La conversión es realizada gracias al DAC AD5628 [15] de Analog Devices. Este conversor se comunica con el dispositivo a través de la tecnología SPI, gracias a la cual los usuarios pueden enviar diferentes valores analógicos en canales individuales o enviarlos de manera simultánea a los 8 canales.

#### Pmod DA2

El Pmod DA2 es un convertidor Digital-Analógico de 2 canales. La conversión es realizada gracias al DAC121S101 [16] de Texas Instruments. Este conversor es capaz de convertir simultáneamente dos canales de información digital proporcionados a través de una interfaz similar a SPI, gracias a lo cual los usuarios pueden comparar de manera sencilla las dos señales reconstruidas.

#### Pmod DA1

El Pmod DA1 es un convertidor Digital-Analógico de 4 canales. La conversión es realizada gracias a dos AD7303 [17] de Analog Devices. Con salidas duales simultáneas por entrada única, los usuarios pueden realizar hasta cuatro pruebas aisladas en las salidas analógicas y pueden proporcionar datos al módulo a través de una interfaz similar a SPI.

A continuación, en la Tabla 1 se muestran las características más relevantes de estos dispositivos para poder determinar si sería un hardware válido para ser incorporado en nuestro sistema final.



**Tabla 1 Características DACs empresa Digilent**

	<b>Pmod DA4</b>	<b>Pmod DA2</b>	<b>Pmod DA1</b>
<b>Número de canales</b>	8	2	4
<b>Frecuencia de trabajo</b>	50 MHz	30 MHz	30 MHz
<b>Frecuencia de muestreo</b>	1,56 MSPS	1,87 MSPS	1,87 MSPS
<b>Resolución</b>	12 bits	12 bits	8 bits
<b>Slew rate</b>	1,2 V/μs	1 V/μs	7,5 V/μs
<b>Precio</b>	24,99 \$ ~ 22,25 €	19,99 \$ ~ 17,80 €	19,99 \$ ~ 17,80 €

Estos DACs utilizan un protocolo de comunicación SPI, por lo tanto, para realizar el cálculo de la frecuencia de muestreo es necesario conocer el dato de la frecuencia de trabajo de cada DAC así como el tamaño de las tramas que convierte.

Para el DAC Pmod DA4 tenemos una frecuencia de trabajo de 50MHz y las tramas que convierte dicho DAC son de 32 bits. Es por ello por lo que la frecuencia de muestreo es la siguiente:

$$f_s = \frac{f_{trabajo}}{tamaño\ trama} = \frac{50\ MHz}{32\ bits} = 1,5625\ MHz \quad (1)$$

Tanto para el DAC Pmod DA2 como para el Pmod DA1 tenemos una frecuencia de trabajo de 30MHz y las tramas que convierte dicho DAC son de 16 bits. Es por ello por lo que la frecuencia de muestreo es la siguiente:

$$f_s = \frac{f_{trabajo}}{tamaño\ trama} = \frac{30\ MHz}{16\ bits} = 1,875\ MHz \quad (2)$$

Como se ha adelantado anteriormente, el principal problema de esta familia de DACs es su baja velocidad de funcionamiento. Uno de los requisitos que debe cumplir el convertidor DA que será integrado en nuestro sistema es que su frecuencia de muestreo

debe ser mayor de 10MSPS. A la vista de los resultados obtenidos en los cálculos anteriores podemos concluir en que no se puede utilizar ninguno de los DACs de la familia Diligent porque ninguno llega a la velocidad de funcionamiento requerida.

Finalmente, se van a analizar las características de otra familia de DACs disponibles en el mercado.

#### LCINDA1/LCINDA2

Los DACs LCINDA1 y LCINDA2 son convertidores Digitales-Analógicos de 1 canal. La conversión se realiza gracias al MCP4725 [18] de Microchip. Estas placas realizan la comunicación por bus I2C, por lo que solamente se necesitarán 2 pines de salida del microcontrolador. En la Tabla 2 se muestran las características de dichos DACs.

**Tabla 2 Características DACs LCINDA1/LCINDA2**

	<b>LCINDA1</b>	<b>LCINDA2</b>
<b>Número de canales</b>	1	1
<b>Frecuencia de muestreo</b>	0,2125 MSPS	0,2125 MSPS
<b>Resolución</b>	12 bits	12 bits
<b>Slew rate</b>	0,55 V/μs	0,55 V/μs
<b>Precio</b>	6,24 \$ ~ 5,53 €	4,79 \$ ~ 4,24 €

Al igual que en el caso anterior, la frecuencia de muestreo no es un dato que aparezca en el datasheet por lo tanto es necesario calcularlo de la siguiente manera.

$$f_s = \frac{f_{comunicaciones}}{tamaño\ trama} = \frac{3,4\ MHz}{16\ bits} = 0,2125\ MHz \quad (3)$$

Por lo tanto, a la vista de los resultados obtenidos podemos observar que la velocidad de trabajo de estos DACs es enormemente inferior a la mínima que necesita nuestro sistema (10MSPS). Por ello, podemos concluir en que ningún DAC de los estudiados anteriormente es válido para las necesidades que se quieren cubrir.

### 2.2.2 DACs alta velocidad

A la vista del problema de la baja velocidad de los DACs anteriores es necesario estudiar los dispositivos de alta velocidad disponibles en el mercado. En este apartado se van a estudiar las características de dos productos principales (Red Pitaya y Analog Discovery 2).

#### Red Pitaya [19]

Este dispositivo está disponible en dos versiones con las mismas funciones y características. La única diferencia recae en la especificación técnica de alta frecuencia de las entradas y salidas, la capacidad RAM y algunas otras diferencias. El primer modelo es conocido como STEMLab 125-14, que cuenta con 14 bits de entrada/salida y el segundo modelo es STEMLab 125-10 que en este caso cuenta con 10 bits de entrada/salida.

En la Figura 12 se observa la placa Red Pitaya.



*Figura 12 Red Pitaya*

Como podemos observar en la imagen, esta placa no tiene incorporado únicamente el convertor Digital-Analógico que nos interesa si no que cuenta con otros elementos adicionales como la FPGA, que no está disponible para el usuario.

En la Tabla 3 podemos observar las características más significativas de cada una de las dos versiones disponibles en el mercado.

**Tabla 3 Características Red Pitaya**

	<b>STEMLab125-14</b>	<b>STEMLab125-10</b>
<b>Número de canales</b>	2	2
<b>Frecuencia de muestreo</b>	125 MSPS	125 MSPS
<b>Resolución</b>	14 bits	10 bits

<b>Slew rate</b>	200 V/ $\mu$ s	200 V/ $\mu$ s
<b>Precio</b>	319,00 €	249,00 €

### Analog Discovery 2 [20]

Este dispositivo permite medir, visualizar, generar, registrar y controlar circuitos de señales mixtas. Gracias a él es posible trabajar con circuitos analógicos y digitales en cualquier entorno de trabajo. Nos encontramos con la necesidad de estudiar este dispositivo porque incorpora un convertor Digital-Analógico de alta velocidad.

En la Figura 13 se observa el dispositivo Analog Discovery 2.



*Figura 13 Analog Discovery 2*

En la Tabla 4 se muestran sus características más significativas.

**Tabla 4 Características Analog Discovery 2**

	<b>Analog Discovery 2</b>
<b>Número de canales</b>	2
<b>Frecuencia de muestreo</b>	145 MSPS
<b>Resolución</b>	14 bits
<b>Slew rate</b>	180 V/ $\mu$ s

<b>Precio</b>	247,58 €
---------------	----------

Tras estudiar los dos dispositivos anteriores (Red Pitaya y Analog Discovery 2) llegamos a la conclusión de que con cualquiera de los dos podríamos solucionar el problema de la baja velocidad. Lo que sucede es que para utilizar cualquiera de ellos es necesario incorporar tanto elementos de medida como software específicos de la empresa desarrolladora. La adquisición de estos elementos hardware/software incrementaría notablemente el coste total del producto y haría inviable su utilización.

Finalmente, tras estudiar todas las opciones disponibles en el mercado se ha llegado a la conclusión de que es necesario desarrollar la etapa de conversión Digital-Analógica siendo inviable la incorporación de cualquiera de los dispositivos estudiados anteriormente. Esto es debido a que el precio del DAC que se utiliza para nuestro modelo tiene un precio de 20 € en RS Amidata cuando se compra 1 unidad. Este precio es mucho menor comparado con los 200 € de los DACs vistos anteriormente. Por otro lado, las placas vistas anteriormente tienen sus propias interfaces y software, por lo tanto, no es trivial sacar nuestros datos por ellas. En los siguientes apartados se explicará el desarrollo de la etapa de conversión Digital-Analógica.



### 3 Acondicionamiento DAC

Tal y como se ha demostrado en el apartado anterior, por diversos motivos resulta poco adecuado incorporar una etapa de conversión Digital-Analógica comercial en el esquema del controlador de potencia. Es por este motivo por el que es necesario desarrollar dicho convertidor de manera manual. Para ello se realizará el diseño, desarrollo y posterior estudio de diversas soluciones posibles para conseguir el convertidor Digital-Analógico que ofrezca mejores resultados.

El primer paso para realizar el proceso de diseño es escoger el elemento principal de la PCB, que en este caso es el DAC. Este chip será el encargado de convertir datos digitales a corrientes que, posteriormente, gracias a un circuito de acondicionamiento se transformarán en tensiones que serán enviadas al regulador. Tras realizar el estudio de diversos chips de un canal disponibles en el mercado [21] se ha determinado cuál es el mejor de ellos. Para este TFM se va a utilizar su equivalente con dos canales. Este DAC es el AD9767 [22] de la empresa Analog Devices. Sus características principales son las siguientes:

- 14 bits de entrada
- Tasa de 125 MSPS
- Dos canales de entrada
- Dos modos de funcionamiento disponibles (interleaved/dual port).
- 5 o 3,3V de operación

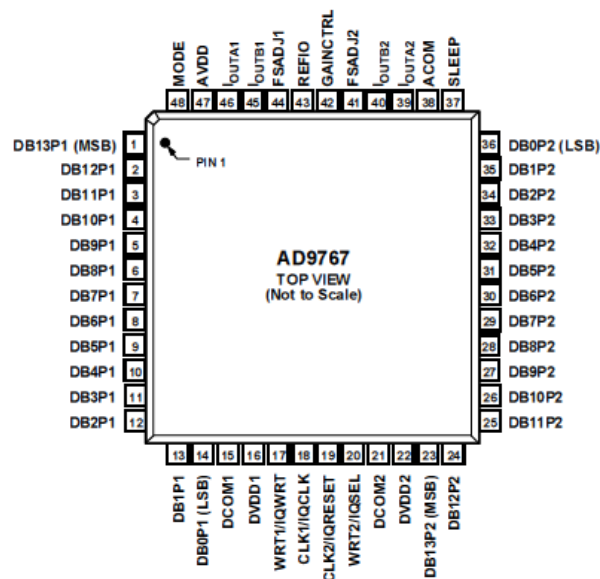


Figura 14 AD9767

Como podemos observar en la Figura 14, el chip AD9767 tiene 48 pines distribuidos de forma que los pines analógicos y los digitales se encuentran perfectamente separados.

A continuación, se enumeran los distintos pines del chip con una breve descripción de la función que realiza cada uno de ellos.

- DB13P1-DB0P1/DB13P2-DB0P2: 14 bits de entrada del canal 1 y 2.
- DCOM1/DCOM2: Masa digital del canal 1 y 2.
- DVDD1/DVDD2: Tensión digital (3,3V).
- WRT1/IQWRT: Señal de escritura para el canal 1.
- WRT2/IQSEL: Señal de escritura para el canal 2.
- CLK1/IQCLK: Reloj de entrada para el canal 1.
- CLK2/IQRESET: Reloj de entrada para el canal 2.
- SLEEP: Entrada de control de apagado.
- ACOM: Masa analógica.
- IOUTA1/IOUTB1: Corriente de salida del canal 1.
- IOUTA2/IOUTB2: Corriente de salida del canal 2.
- FSADJ1/FSADJ2: Ajuste de corriente de salida full-scale para el canal 1 y 2.
- GAINCTRL: Modo de control de resistencia maestro/esclavo.
- REFIO: Referencia de entrada/salida.
- AVDD: Tensión analógica (5V).
- MODE: Selección de modo dual port (MODE=1) o interleaved (MODE=0).

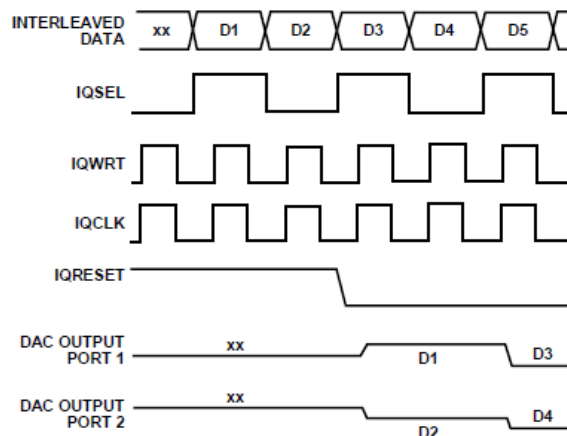
A continuación, se va a realizar una descripción del comportamiento del DAC cuando el pin MODE vale 1 (modo dual-port) y cuando el pin MODE vale 0 (modo interleaved).

### Modo Interleaved

Cuando el pin MODE tiene un valor lógico de '0', el AD9767 funciona en modo interleaved. Este modo tiene una serie de peculiaridades:

- WRT1 funciona como IQWRT
- CLK1 funciona como IQCLK
- WRT2 funciona como IQSEL
- CLK2 funciona como IQRESET

En este modo de funcionamiento el dato entra en el DAC en el flanco de subida de IQWRT. Posteriormente la señal IQSEL decide si el dato será dirigido al canal 1 (IQSEL = 1) o al canal 2 (IQSEL = 2). Finalmente, en el siguiente flanco de reloj después de que la señal IQRESET esté a nivel alto se actualizan los datos presentes en la entrada de cada canal. En la Figura 15 se observa el funcionamiento del modo interleaved.

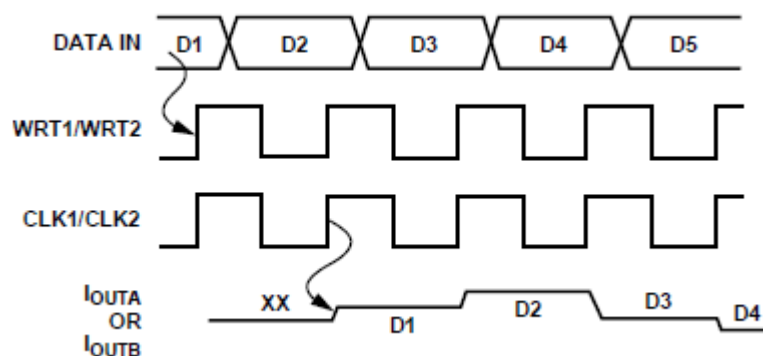


*Figura 15 Funcionamiento modo Interleaved*



### Modo Dual-port

Cuando el pin MODE tiene el valor lógico '1', el AD9767 funciona en modo Dual-port. En este modo de funcionamiento, cada canal funciona como si fuera un DAC independiente con sus propias entradas digitales y líneas de control. En este modo de funcionamiento, los datos son enviados de manera duplicada a la entrada de cada canal. En la Figura 16 se observa el funcionamiento del AD9767 en modo Dual-port.



*Figura 16 Funcionamiento modo Dual-port*

Tras estudiar ambos modos de funcionamiento, se concluye en que la principal ventaja que ofrece el modo dual-port es que la velocidad de trabajo es el doble de la que se conseguiría trabajando en modo interleaved. Por otro lado, las ventajas que presenta el modo interleaved es que las conexiones con los pines de la placa de FPGA se reducen a la mitad mientras que el número de canales de salida aumentan al doble.

Finalmente, tras estudiar los chips disponibles en el mercado, se observa que cualquiera de ellos entrega a su salida una corriente de unos pocos miliamperios. Esto supone un problema, ya que a la entrada del regulador debería haber una tensión de algunos voltios. Esto deberá ser solventado con un circuito adicional que recibe el nombre de circuito de acondicionamiento. Tal y como indica su fabricante, el AD9767 admite varias opciones de circuitos de acondicionamiento, las cuales serán explicadas en detalle en las siguientes subsecciones.

### Single ended/single supply

Esta configuración cuenta con entrada única y alimentación unipolar. Se explicará con detalle en el apartado 3.1.

### Differential/dual supply

Esta configuración cuenta con entrada diferencial y alimentación bipolar. Se explicará con detalle en el apartado 3.2.

### Differential/single supply

Esta configuración cuenta con entrada diferencial y alimentación unipolar. Se explicará con detalle en el apartado 3.3.

### 3.1 Single ended / single supply

La entrada de este circuito de acondicionamiento es única, lo que quiere decir que al amplificador operacional únicamente le llega una corriente (IOUTA1/IOUTA2) por su terminal negativo mientras que la corriente IOUTB1/IOUTB2 se desprecia. En la Figura 17 se observa el esquema de dicha configuración.

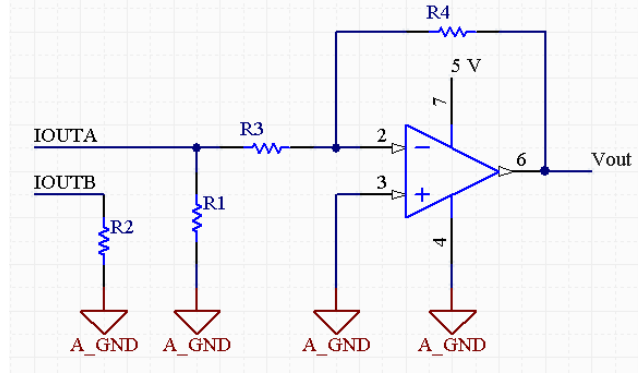


Figura 17 Configuración Single ended/single supply

Para calcular el valor de la tensión final que obtendríamos gracias al circuito de acondicionamiento es necesario dividir el cálculo en dos partes. La primera parte corresponde a la obtención de la tensión en la entrada del Amplificador Operacional y la segunda parte corresponde con el cálculo de la tensión a la salida del mismo.

Como podemos observar, gracias a R1 y R2 se consigue convertir la corriente que entrega el DAC a su salida en tensión. Para poder calcular el rango de tensión que tendremos a la entrada del Amplificador Operacional hay que realizar una serie de cálculos previos.

$$I_{REF} = \frac{V_{REFIO}}{R_{SET}} = \frac{1,2 V}{2k\Omega} = 0,6 mA \quad (4)$$

Donde  $V_{REFIO}$  es la tensión de referencia del DAC (1,2V) y  $R_{SET}$  es la resistencia que se encuentra colocada entre el pin FSADJ1/FSADJ2 y masa (2 kΩ).

$$IOUT_{FS} = 32 \cdot I_{REF} = 32 \cdot 0,6 mA = 19,2 mA \quad (5)$$

Por lo tanto, la corriente máxima y mínima que tendremos a la salida del DAC se calcula de la siguiente manera.

$$IOUTA_{max} = \left( \frac{DACCODE_{max}}{16384} \right) \cdot IOUT_{FS} = \left( \frac{16383}{16384} \right) \cdot 19,2 mA = 19,2 mA \quad (6)$$

$$IOUTA_{min} = \left( \frac{DACCODE_{min}}{16384} \right) \cdot IOUT_{FS} = \left( \frac{0}{16384} \right) \cdot 19,2 mA = 0 A \quad (7)$$

$$IOUTB_{max} = \left( \frac{16383 - DACCODE_{min}}{16384} \right) \cdot IOUT_{FS} = \left( \frac{16383 - 0}{16384} \right) \cdot 19,2 \text{ mA} \quad (8)$$

$$= 19,2 \text{ mA}$$

$$IOUTB_{min} = \left( \frac{16383 - DACCODE_{max}}{16384} \right) \cdot IOUT_{FS} = \left( \frac{16383 - 16383}{16384} \right) \cdot 19,2 \text{ mA} \quad (9)$$

$$= 0 \text{ A}$$

Donde  $DACCODE_{max}$  se corresponde con todos los bits del dato de entrada a '1' y, por el contrario,  $DACCODE_{min}$  se corresponde con todos los bits del dato de entrada a '0'. Como podemos observar en las ecuaciones anteriores,  $IOUTA$  e  $IOUTB$  son complementarias y para cada valor de entrada deben sumar alrededor de 20 mA.

Finalmente, para calcular el valor de la tensión máxima y mínima que nos encontraremos a la entrada del amplificador operacional basta con tener en cuenta la corriente  $IOUTA$  (ya que  $IOUTB$  se desprecia) y la resistencia  $R1$  de la siguiente manera.

$$VinAO_{max} = IOUTA_{max} \cdot R1 = 19,2 \text{ mA} \cdot 27\Omega = 0,5184 \text{ V} \quad (10)$$

$$VinAO_{min} = IOUTA_{min} \cdot R1 = 0 \text{ mA} \cdot 27\Omega = 0 \text{ V} \quad (11)$$

Por lo tanto, el rango de tensión que tenemos a la entrada del Amplificador Operacional será de 0V a 0,5V. A la vista de estos resultados, cabe esperar que será necesario añadir una etapa amplificadora con un factor de 10.

Para calcular el valor de la ganancia del amplificador operacional basta con conocer el valor de  $R3$  y  $R4$ . El cálculo es el siguiente.

$$G = \frac{R4}{R3} = 10 \quad (12)$$

$$R4 = 10 \cdot R3 \quad (13)$$

Como se puede observar en las ecuaciones (9) y (10) para obtener un factor de amplificación de 10 es necesario que  $R4$  sea 10 veces mayor que  $R3$ . Con este factor de amplificación la tensión a la salida del amplificador operacional será la siguiente.

$$VOUT_{max} = VinAO_{max} \cdot G = 0,5184 \cdot 10 = 5,18 \text{ V} \quad (14)$$

$$VOUT_{min} = VinAO_{min} \cdot G = 0 \cdot 10 = 0 \text{ V} \quad (15)$$

Por lo tanto, con esta configuración previsiblemente obtendremos un rango de tensión a la salida de 0V a 5V. En la fase de construcción este resultado no será exacto, ya que hay que tener en cuenta diversos factores como la tolerancia de las resistencias.

### 3.2 Differential / dual supply

En este circuito de acondicionamiento la entrada es diferencial, lo que significa que por el terminal negativo del amplificador operacional llega la corriente (IOUTA1/IOUTA2) mientras que por el terminal positivo llega la corriente (IOUTB1/IOUTB2). Internamente el amplificador hace la diferencia entre ambas corrientes y su posterior amplificación. En la Figura 18 se observa el esquema de esta configuración.

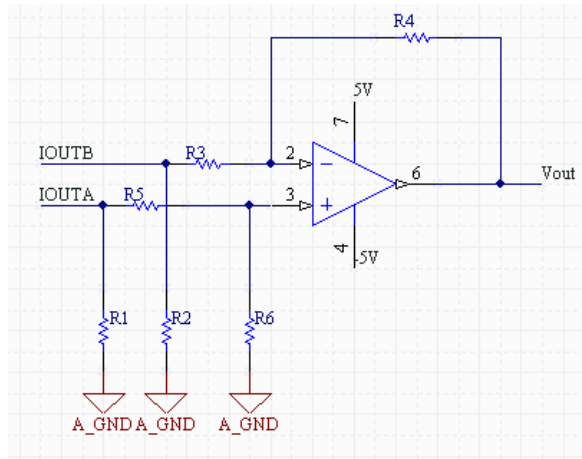


Figura 18 Configuración Differential/Dual supply

Como en el caso anterior para poder calcular la tensión final es necesario dividir el circuito en dos etapas. En la primera etapa se calculará el rango de tensión a la entrada del amplificador operacional y en la segunda etapa se calculará el rango de tensión a la salida del mismo.

Tal y como se indica en el capítulo 3.1 la corriente máxima a la salida del DAC son 19,2 mA y la corriente mínima son 0A. Por lo tanto, tras realizar la conversión Corriente-Tensión tendremos el siguiente rango de tensión a la entrada del Amplificador Operacional.

$$IOUT_{min} = IOUTA_{min} - IOUTB_{max} = 0 - 19,2 \text{ mA} = -19,2 \text{ mA} \quad (16)$$

$$IOUT_{max} = IOUTA_{max} - IOUTB_{min} = 19,2 \text{ mA} - 0 = 19,2 \text{ mA} \quad (17)$$

$$VinAO_{min} = IOUT_{min} \cdot R1 = -19,2 \text{ mA} \cdot 27 \Omega = -0,5184 \text{ V} \quad (18)$$

$$VinAO_{max} = IOUT_{max} \cdot R2 = 19,2 \text{ mA} \cdot 27 \Omega = 0,5184 \text{ V} \quad (19)$$

Al tener un rango de tensión aproximado de -0,5V a 0,5V a la entrada del amplificador operacional es necesario amplificar con un factor 10 para obtener un rango de tensión final de -5V a 5V.

La ganancia del circuito de amplificación se consigue conociendo el valor de R3, R4, R5 y R6 calculado de la siguiente manera.

$$G = \frac{R4}{R3} = \frac{R6}{R5} = 10 \quad (20)$$

$$R4 = 10 \cdot R3 \quad (21)$$

$$R6 = R4 \quad (22)$$

$$R3 = R5 \quad (23)$$

Como se puede observar en las ecuaciones (21), (22) y (23) para obtener un factor de amplificación de 10 es necesario que R4 sea 10 veces mayor que R3 y que R6 sea 10 veces mayor que R5. Con este factor de amplificación la tensión a la salida del amplificador operacional será la siguiente.

$$V_{out_{max}} = V_{inAO_{max}} \cdot G = 0,5184 V \cdot 10 = 5,184 V \quad (24)$$

$$V_{out_{min}} = V_{inAO_{min}} \cdot G = -0,5184 V \cdot 10 = -5,184 V \quad (25)$$

Por lo tanto, con esta configuración tendremos un rango de tensión a la salida aproximado de -5V a 5V.

### **3.3 Differential / single supply**

Tal y como se ha explicado en el apartado 3.2, en este circuito de acondicionamiento la entrada es diferencial. La diferencia con respecto al circuito anterior recae en que la alimentación es única, lo que quiere decir que es de 5V. En la Figura 19 se observa el esquema de esta configuración.

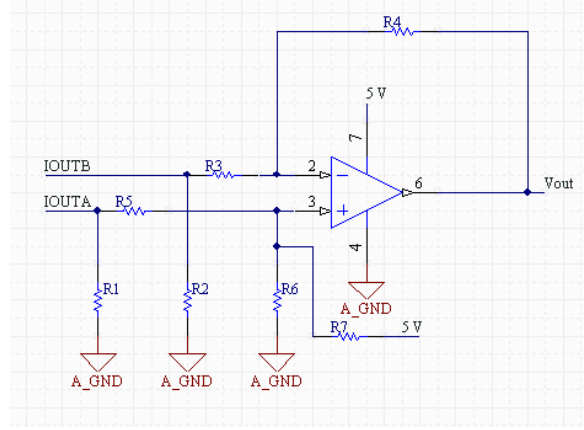


Figura 19 Configuración Differential/Single supply

Como en los circuitos anteriores para poder calcular la tensión final es necesario dividir el circuito en dos etapas. En la primera etapa se calculará el rango de tensión a la entrada del amplificador operacional y en la segunda etapa se calculará el rango de tensión a la salida del mismo.

El cálculo de tensión a la entrada del amplificador operacional es el mismo que en el apartado 3.2 y como muestran las ecuaciones (18) y (19) a la entrada del amplificador operacional tenemos un rango de tensión de -0,5184 V a 0,5184 V.

Al contar con alimentación única es necesario realizar dos acciones en el amplificador operacional. La primera acción es amplificar dicho rango de tensión y la segunda es introducir un offset para que la salida del circuito final sea única. A la vista del circuito es posible realizar una amplificación con un factor amplificador de 5. Este factor se consigue con un valor adecuado de resistencias calculado de la siguiente manera.

$$G = \frac{R4}{R3} = 5 \quad (26)$$

$$R4 = 5 \cdot R3 \quad (27)$$

$$R6 \parallel R7 = 5 \cdot R5 \quad (28)$$

Tal y como muestran las ecuaciones (26), (27) y (28), para conseguir un factor amplificador de 5 es necesario que R4 sea 5 veces mayor que R3, así como que R6||R7 sea 5 veces mayor que R5. Gracias a este factor amplificador tendremos el siguiente rango de tensión.

$$V_{AOmin} = Vin_{AOmin} \cdot G = -0,5184 V \cdot 5 = -2,59 V \quad (29)$$

$$V_{AOmax} = Vin_{AOmax} \cdot G = 0,5184 V \cdot 5 = 2,59 V \quad (30)$$

Tal y como muestran las ecuaciones (29) y (30) en este momento, contamos con un rango de tensión de aproximadamente -2,5 V a 2,5 V por lo tanto es necesario, a través de un divisor de tensión, añadir un offset de 2,5 V. Este offset se consigue con un divisor de tensión gracias a las resistencias R7 y R6. El cálculo de dicha resistencia se realiza de la siguiente manera.

$$V_{offset} = V \cdot \frac{R7}{R7 + R6} \rightarrow 2,5 V = 5V \cdot \frac{R7}{R7 + R6} \rightarrow R7 = R6 \quad (31)$$

Finalmente, como muestran las ecuaciones (32) y (33) gracias a este circuito de acondicionamiento tendremos una tensión final a la salida del mismo de 0 V a 5 V.

$$VOUT_{min} = VAO_{min} + V_{offset} = -2,59 V + 2,5 V \simeq 0 V \quad (32)$$

$$VOUT_{max} = VAO_{max} + V_{offset} = 2,59 V + 2,5 V \simeq 5 V \quad (33)$$





## 4 Integración, pruebas y resultados

---

Tal y como se ha explicado en el capítulo 3 hay varias formas de realizar el circuito de acondicionamiento que será el encargado de convertir la corriente que entrega el DAC a su salida en la tensión que necesitamos a la entrada del regulador. A priori todas estas soluciones pueden resultarnos interesantes. Por lo tanto, en la primera placa se han probado distintas opciones con el fin de poder compararlas y en la segunda placa se ha implementado la solución que mejores resultados ofrece de forma optimizada. Por ello, este apartado será dividido en otros dos. En el primero de ellos se explicará el desarrollo y los resultados de la primera placa, mientras que en el segundo se explicará el desarrollo y los resultados tanto de la segunda placa como de la versión mejorada de la misma.

### 4.1 Placa 1

#### 4.1.1 Diseño

Tal y como se detalla en el apartado 3 el AD9767 cuenta con dos canales de 14 bits de datos. Estos canales pueden ser configurados en dos modos de funcionamiento, interleaved y dual port. Es posible configurar cualquiera de estos modos de funcionamiento, ya que, contamos con pines suficientes para la configuración. Como se explicará en el apartado 4.1.2, después de realizar pruebas sobre esta primera placa, el modo de funcionamiento escogido para la placa 2 es el modo interleaved.

Por otro lado, es necesario indicar que en la construcción de esta primera placa se ha implementado un circuito de acondicionamiento distinto para cada canal con el fin de poder comparar los resultados que arroja cada uno de estos circuitos y así poder construir la placa con el circuito de acondicionamiento que mejores resultados ofrezca.

##### Canal 1

El circuito de acondicionamiento de este canal es el Differential/Dual supply. Tal y como se ha explicado en el apartado 3.2 la peculiaridad de este circuito es que la entrada es diferencial y la alimentación es dual ( $\pm 5V$ ).

Para conseguir alimentación dual es necesario utilizar un chip que a su entrada reciba una tensión positiva e internamente la convierta en negativa. El chip escogido para realizar dicha acción es el LM2776 [23] de Texas Instruments. Gracias a este chip es posible convertir una tensión que se encuentre en un rango entre 2,7 V y 5,5 V en su equivalente negativa. En nuestro caso este chip será alimentado con 5 V para obtener a su salida -5 V y poder alimentar al amplificador operacional de manera dual.

El amplificador operacional escogido para este circuito de acondicionamiento es el AD8047 [24] de Analog Devices.

##### Canal 2

El circuito de acondicionamiento de este canal es el Differential/Single supply. Tal y como se ha explicado en el apartado 3.2, este circuito tiene entrada diferencial y

alimentación única. Al contar con alimentación única, para este canal no es necesario utilizar el chip LM2776.

Por otro lado, es necesario indicar que no es posible utilizar el mismo amplificador operacional que en el canal 1. Esto es debido a que debe estar alimentado con alimentación única (5 V). Por lo tanto, el amplificador operacional escogido para este diseño es el AD8041 [25] de Analog Devices.

En la Figura 22 se observa el esquemático de esta primera placa. Como podemos observar, IOUTA1 e IOUTB1 son las salidas del primer canal mientras que IOUTA2 e IOUTB2 son las salidas del segundo canal.

Finalmente, en la Figura 21 se observa el rutado de dicha placa.

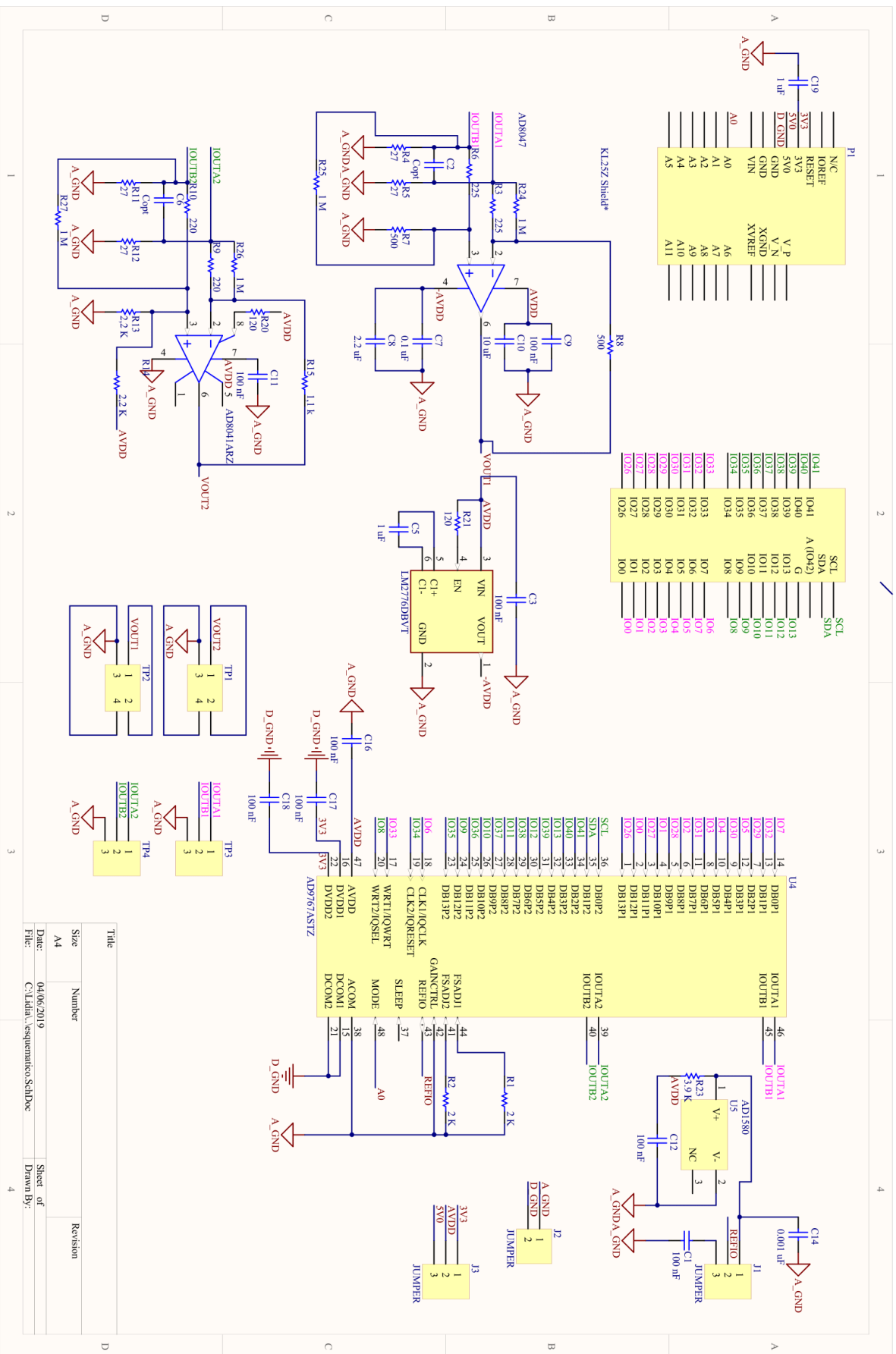
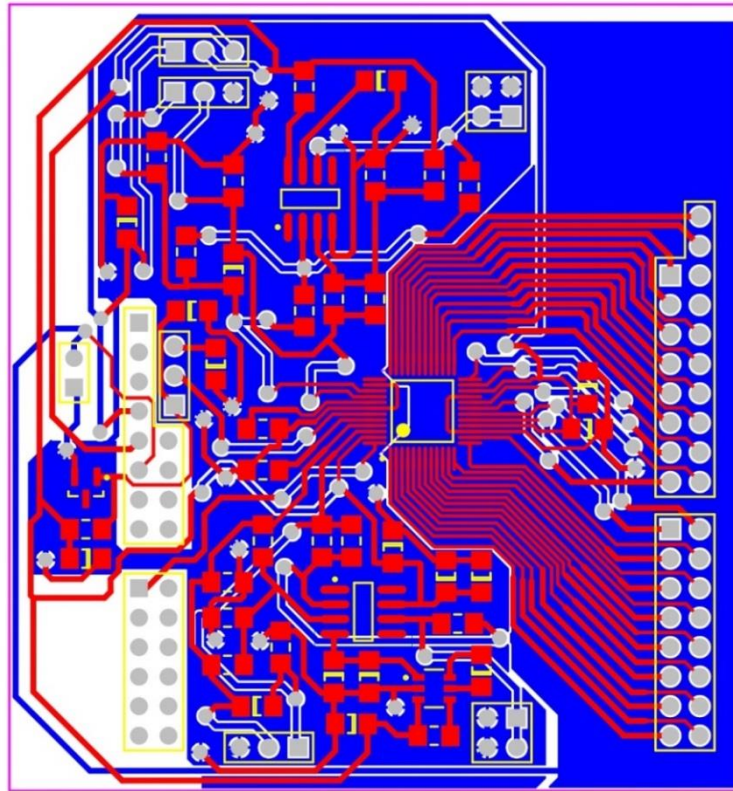


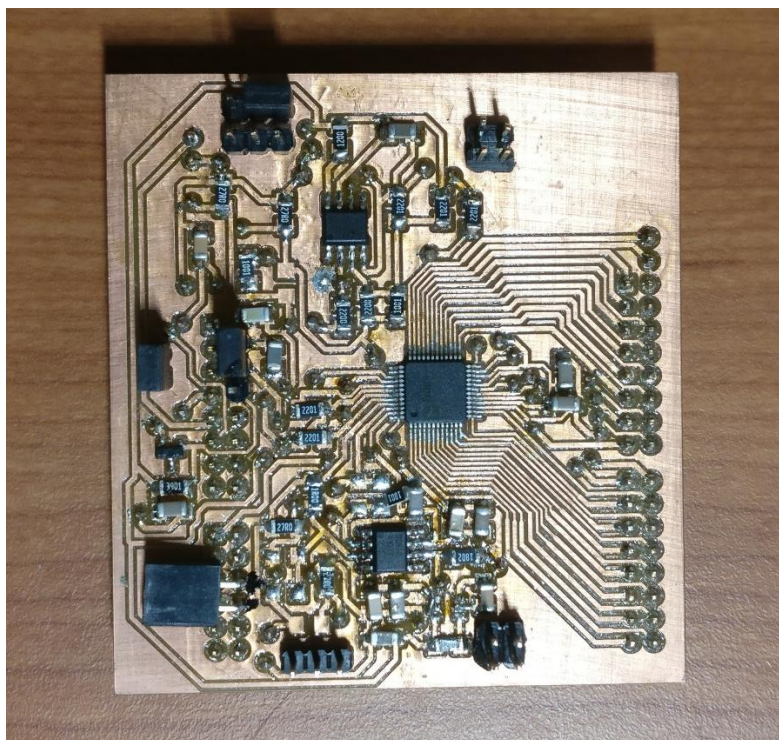
Figura 20 Esquemático Placa 1



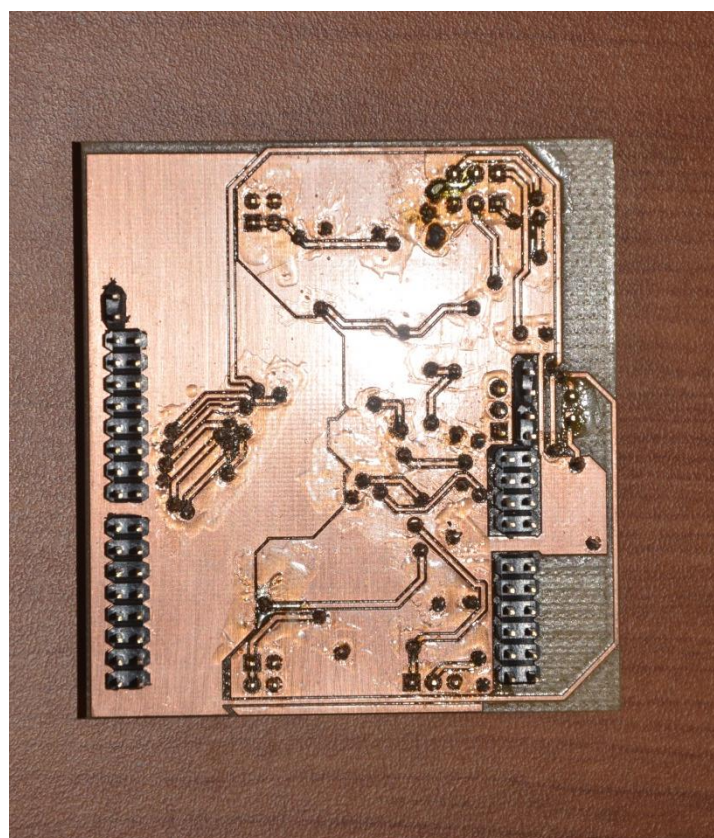
*Figura 21 Rutado Placa 1*

#### **4.1.2 Resultados obtenidos**

Una vez realizado el diseño de esta primera placa tal y como se ha detallado en el apartado 4.1.1 es el momento de soldar los componentes que la forman. En la Figura 22 se observa la capa superior de la misma, en la Figura 23 la capa inferior y en la Figura 24 se observa dicha placa conectada en la placa de FPGA Arty-Z7.

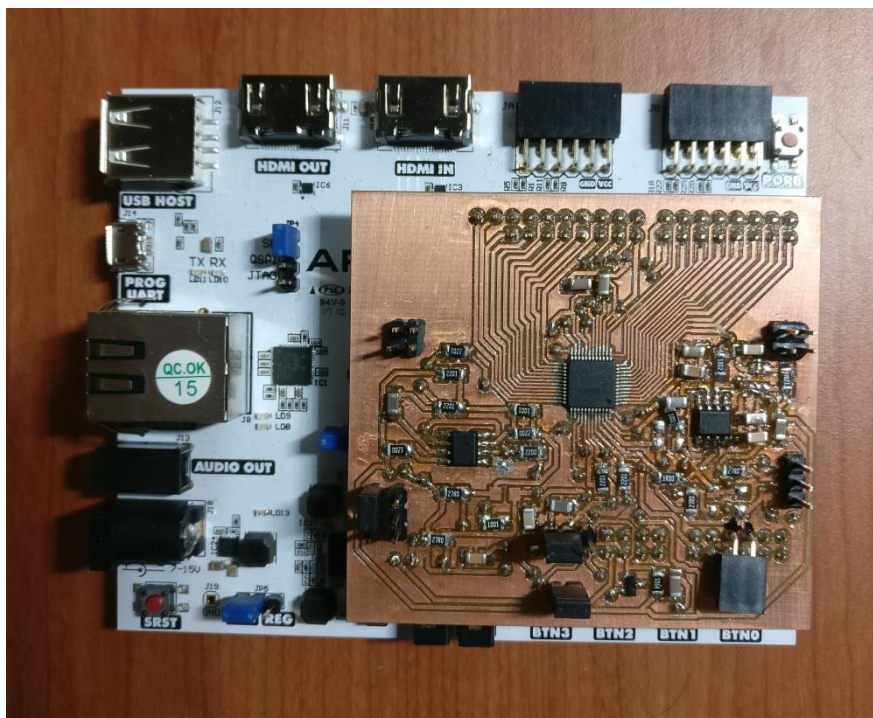


*Figura 22 Capa superior Placa 1*



*Figura 23 Capa inferior Placa 1*





*Figura 24 Conexión con Arty-Z7*

El siguiente paso a la hora de testear el funcionamiento de la placa es realizar pruebas sobre ella para así poder determinar qué soluciones son las más adecuadas para el acondicionamiento de los canales de la placa final. A continuación, se muestran las pruebas realizadas tanto del canal 1 como del canal 2.

### Canal 1

Tras realizar pruebas sobre el canal 1 nos encontramos con el problema de que no funciona. Lo que se observa es que el chip LM2776 entrega a su salida -5V únicamente cuando está alimentado por una fuente de alimentación externa y no cuando lo alimenta la placa de la FPGA. Por lo tanto, al no obtener -5V a la salida del chip no es posible alimentar correctamente al amplificador operacional, lo que impide el correcto funcionamiento del canal. Se ha llegado a la conclusión de que este mal funcionamiento del chip es debido a que está basado en capacidades conmutadas, lo que es incompatible con la alimentación conmutada de la placa de la FPGA. Es cierto que este problema se solucionaría con una fuente de alimentación externa, pero esta solución complicaría el sistema y lo haría más caro. Al utilizar la alimentación que proporciona la placa de la FPGA conseguimos un sistema más sencillo y más barato.

Como el objetivo es tener implementado un circuito de acondicionamiento distinto para cada canal para así poder comparar resultados, se ha decidido hacer ciertas modificaciones en la placa para poder implementar en el canal 1 la opción Single ended / single supply explicada en el apartado 3.1.

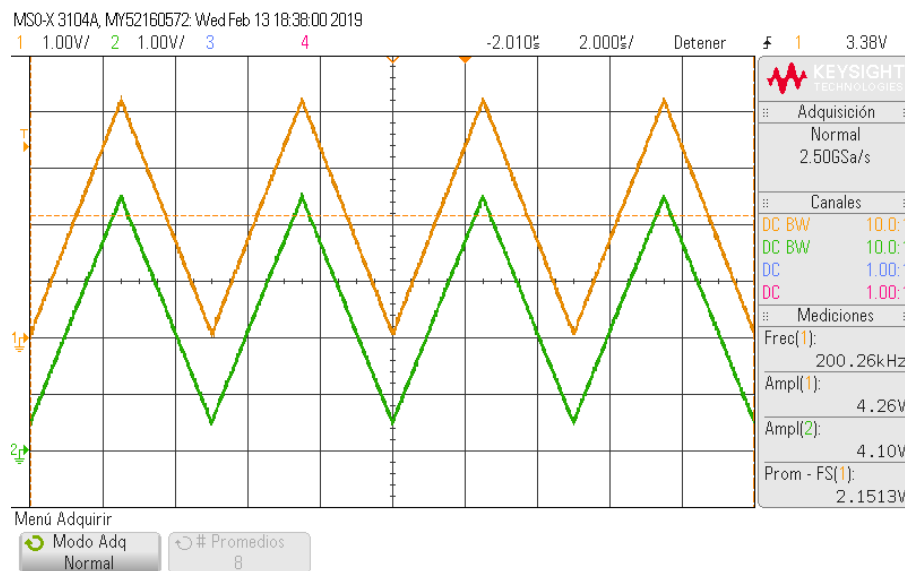
Para implementar la opción Single ended/single supply hay que realizar algunas modificaciones. La primera de ellas es conectar la tensión negativa del amplificador operacional a GND en lugar de a -5V. También es necesario cambiar de modelo de amplificador operacional al AD8041 que permite alimentación positiva. Finalmente, es necesario modificar la ganancia del circuito para conseguir una tensión en un rango entre 0

y 5 V. La modificación de esta ganancia se llevará a cabo gracias a la modificación de las resistencias del circuito de acondicionamiento y será explicada tras observar las imágenes de los resultados obtenidos.

## Canal 2

Este canal funciona correctamente desde el primer momento con el único inconveniente de la modificación de la ganancia. Al igual que en caso del canal 1, la modificación de las resistencias del circuito de acondicionamiento será explicada tras observar los resultados obtenidos.

Previamente al ajuste de la ganancia de los canales se ha obtenido el resultado mostrado en la Figura 25. Como podemos observar VOUT1 (señal naranja) llega a 0 V, pero VOUT2 (señal verde) no llega a 0 V. Por otro lado, también podemos observar que ninguno de los dos canales llega a 5 V. El canal 1 llega como máximo a 4,26 V mientras que el canal 2 llega hasta 4,10 V. Por este motivo es necesario ajustar la ganancia del circuito de acondicionamiento a través de las resistencias del mismo.



*Figura 25 VOUT1 y VOUT2 placa 1*

Tras el ajuste de la ganancia a través de las resistencias del circuito de acondicionamiento se ha obtenido el resultado que se muestra en la Figura 26. Atendiendo al esquema visto en la Figura 17, las resistencias seleccionadas para el canal 1 son las siguientes.

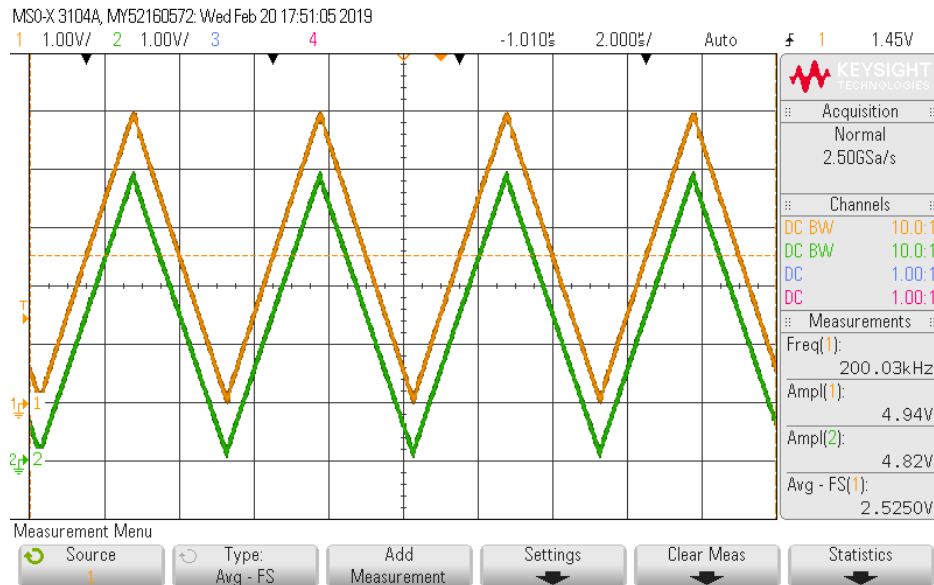
- $R1 = R2 = 27 \Omega$
- $R3 = 1,8 \text{ k}\Omega$
- $R4 = 18 \text{ k}\Omega$

Por otro lado, como el circuito de acondicionamiento del canal 2 es Differential / single supply es necesario observar la Figura 19. Las resistencias de dicho circuito son las siguientes.

- $R1 = R2 = 27 \Omega$

- $R3 = R5 = 220\ \Omega$
- $R4 = 1,1\ k\Omega$
- $R6 = R7 = 2,2\ k\Omega$

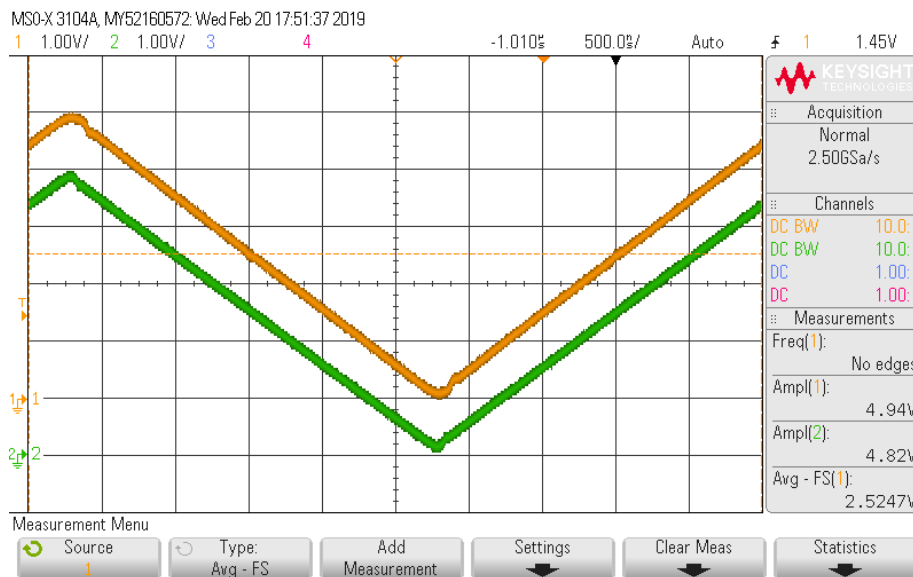
Como podemos observar en la Figura 26 ambos canales llegan a 0 V y se quedan muy cerca de 5 V, llegando el canal 1 a 4,94 V y el canal 2 a 4,82 V. Tras analizar esta imagen, llegamos a la conclusión de que los dos circuitos de acondicionamiento son muy parecidos no pudiendo decidir cuál de ellos es mejor para nuestro circuito final solo con esta información.



*Figura 26 VOUT1 y VOUT2 placa 1 (I)*

Por otro lado, en la Figura 27 se observa otra anomalía en las tensiones de salida. Esta anomalía sucede en el cambio de pendiente de la señal. Lo que se observa es que en ese momento se produce un pequeño escalón. Se puede intuir que esto es debido al amplificador operacional escogido, ya que, satura cerca de los límites de la tensión de alimentación. Por lo tanto, para escoger el amplificador operacional de la placa 2 se deberá hacer un estudio comparativo del nuevo amplificador operacional con el AD8041.





*Figura 27 Anomalía tensiones de salida placa 1*

En esta primera placa también se han probado los modos de funcionamiento interleaved y dual-port para poder determinar cuál de ellos se ajusta mejor a nuestras necesidades. Con las pruebas realizadas se han llegado a determinar algunas ventajas e inconvenientes de cada uno de estos modos de funcionamiento.

Utilizando el modo interleaved nos encontramos con diferentes ventajas. El número de pines necesarios para conectar la PCB a la placa de la FPGA es la mitad, por lo tanto, gracias a esta ventaja es posible reducir notablemente el tamaño de la placa. Otra de las ventajas es que se consigue un aumento del número de canales de salida. Con este modo de funcionamiento es posible tener el doble de canales. Por otro lado, nos encontramos con el inconveniente de que para que este modo funcione correctamente la velocidad debe ser más reducida que en la configuración dual-port. En concreto, la velocidad de refresco de cada salida se reduce a la mitad.

Utilizando el modo de funcionamiento dual-port nos encontramos con una ventaja principal. Esta ventaja es que el DAC es capaz de trabajar a velocidades muy elevadas sin producir errores en el funcionamiento del mismo. Como inconveniente tenemos la reducción del número de canales a la mitad y un aumento del tamaño de la placa.

Tras analizar las ventajas y los inconvenientes de cada uno de los modos de funcionamiento se ha determinado que el modo interleaved es el más adecuado para nuestra aplicación. Esto es debido a que aunque es necesario reducir la velocidad, ésta todavía es elevada y a cambio podemos aumentar el número de canales de salida. La razón principal es que con los pines disponibles en la placa de la FPGA, Arty de Digilent, en el conector vertical utilizado para este Trabajo Fin de Máster usando el modo dual-port solo es posible tener dos canales de salida, mientras que con el modo interleaved podemos llegar a cuatro canales.

Finalmente, y tras decidir que el modo de funcionamiento será el interleaved, queda decidir cuál es el circuito de acondicionamiento más apropiado. Para poder tomar la decisión de cuál de los circuitos de acondicionamiento ofrece mejores resultados se va a

analizar el tiempo de respuesta de ambos canales y se van a comparar para poder llegar a una conclusión.

En la Figura 28 se observa el tiempo de respuesta de ambos canales cuando cambia de valor un bit. Como se puede observar en la imagen, en el eje X tenemos una escala de 50 ns por división, mientras que en el eje Y tenemos una escala de 1V por división. En la señal azul se representa un trigger para poder capturar la señal, pero esta señal digital se utiliza solo para sincronizar el osciloscopio y no es la señal que queremos evaluar. Las que queremos evaluar son las salidas de las etapas de amplificación, que son el canal 1 (naranja) y canal 2 (verde). En la señal naranja se representa el tiempo de respuesta del canal 1 que tiene un acondicionamiento Single ended / Single supply. Por otro lado, en la señal verde se representa el tiempo de respuesta del canal 2 cuyo circuito de acondicionamiento es Differential / Single supply. En este momento se puede concluir en que el canal 2 es el que menor tiempo de respuesta tiene y por lo tanto es el que mejores resultados nos va a proporcionar en la placa 2. Por lo tanto, la placa 2 tendrá todos sus canales configurados como Differential/single supply.

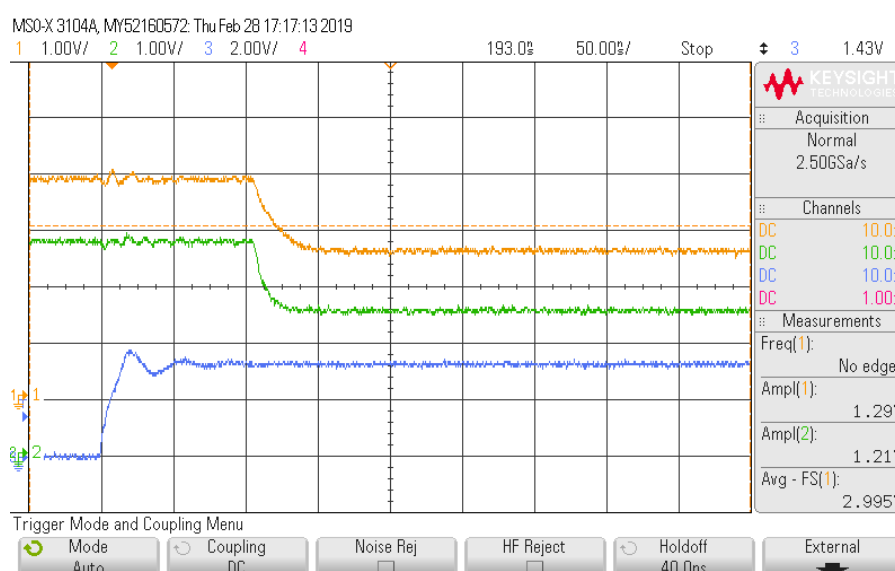


Figura 28 Tiempos de respuesta canal 1 y canal 2

## 4.2 Placa 2

### 4.2.1 Diseño

Tras observar los resultados arrojados por la placa 1 se ha determinado que el circuito de acondicionamiento que mejores resultados ofrece es el Differential/single supply, por lo tanto, este circuito de acondicionamiento será configurado en todos los canales presentes en el circuito. La peculiaridad de esta nueva placa es la incorporación de un DAC adicional en el diseño que sumado a la elección del modo interleaved, hace que se obtengan cuatro canales de salida en los que será necesario configurar cuatro circuitos de acondicionamiento iguales.

Por otro lado, otro aspecto a tener en cuenta es que, tras observar los resultados de la placa 1, nos hemos encontrado con una anomalía en la señal de salida que previsiblemente ha sido producida por el rail-to-rail del amplificador operacional escogido.

Por este motivo, para esta segunda placa se ha decidido utilizar un amplificador operacional de cuatro canales. Para escogerlo se han tenido en cuenta principalmente los parámetros recogidos en la Tabla 5. El amplificador operacional utilizado es el LM6644MA[26] de Texas Instruments.

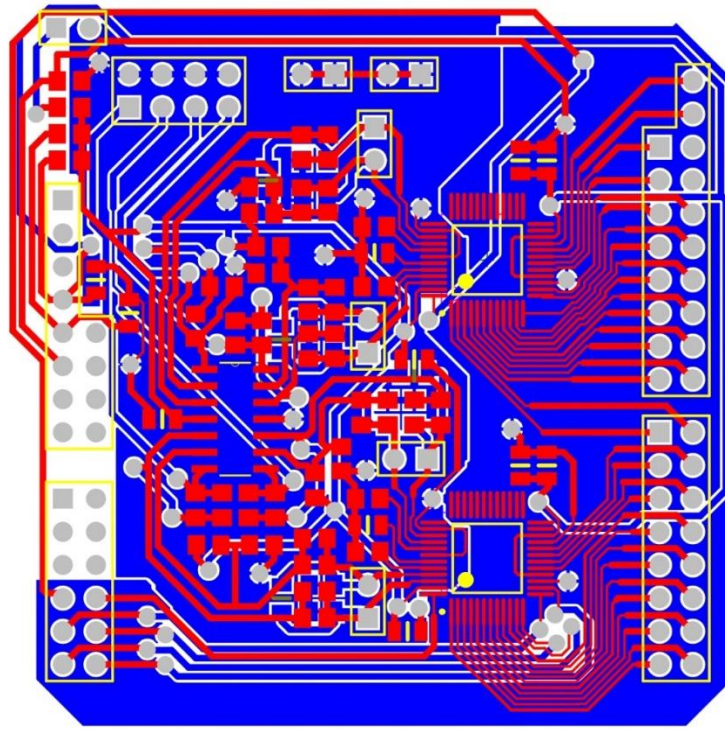
**Tabla 5 Comparativa amplificadores operacionales**

	<b>Ancho de Banda</b>	<b>Slew Rate (V/<math>\mu</math>s)</b>	<b>Rail-to-Rail</b>
<b>AD8041</b>	160 MHz	160 V/ $\mu$ s	Sí (50 mV)
<b>LM6644MA</b>	120 MHz	125 V/ $\mu$ s	Sí (25 mV)

Como se puede observar en la Tabla 5, el AD8041 tiene 50 mV de rail-to-rail. Esto quiere decir que funciona correctamente en el rango 50 mV – 4,95 V pero que satura en los 50 mV hasta llegar a la tensión de alimentación. Como este valor es elevado, al acercarse la señal de salida a 0 V y a 5V se observa el escalón comentado anteriormente.

En la Figura 29 se muestra el esquemático de la segunda placa, mientras que en la Figura 30 podemos observar el rutado de la misma.



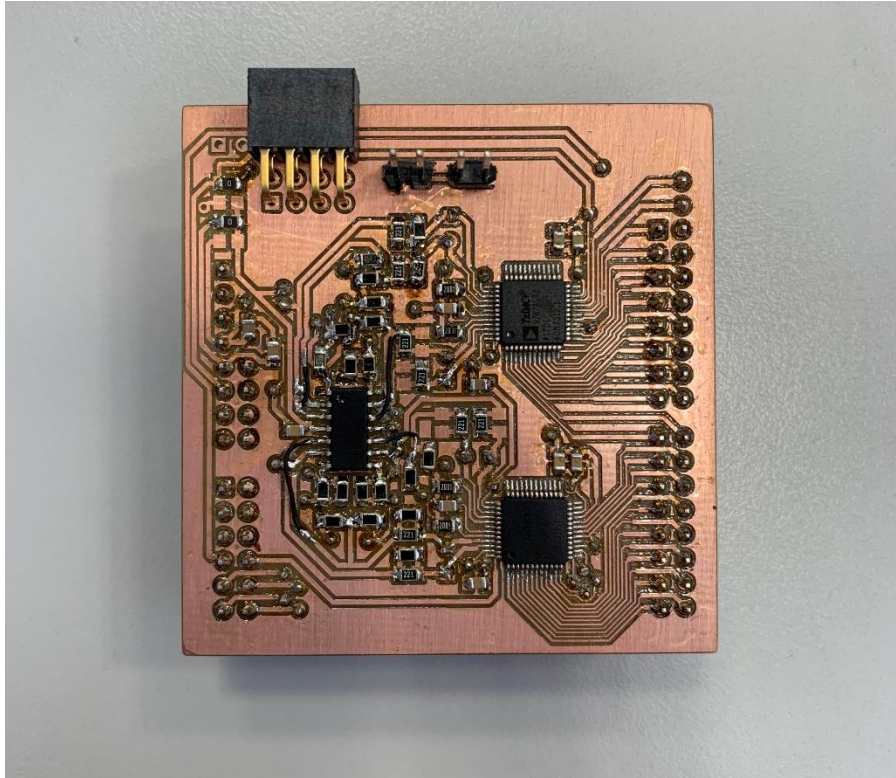


*Figura 30 Rutado Placa 2*

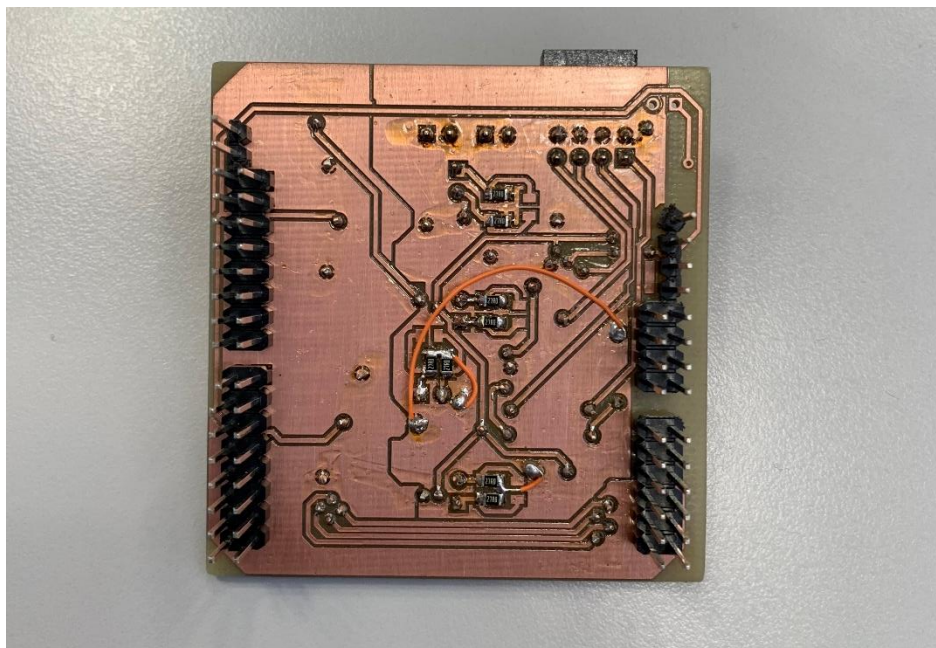
#### **4.2.2 Resultados obtenidos**

Una vez terminado el diseño de la placa tal y como se ha detallado en el apartado 4.2.1 y tras soldar los componentes que la forman se consigue la placa completa. En la Figura 31 se observa la capa superior de la misma, en la Figura 32 la capa inferior y en la Figura 33 se ve la conexión con la placa de FPGA Arty-7Z.

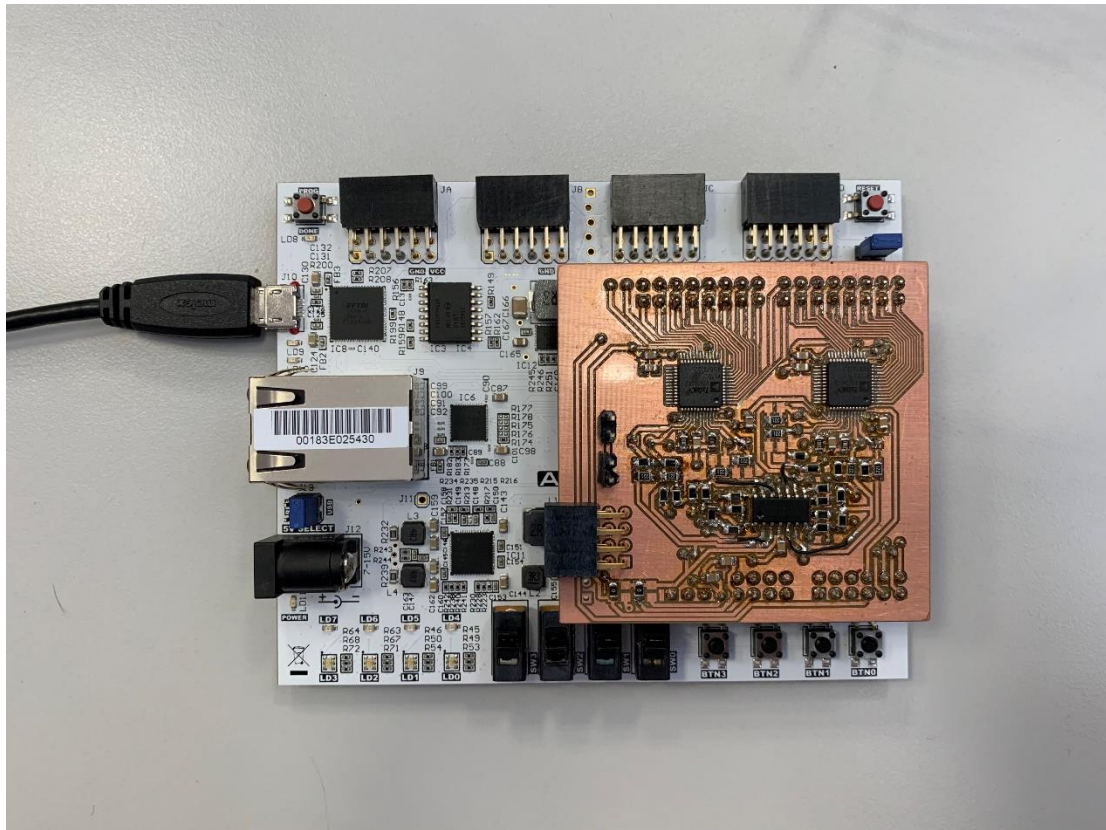




*Figura 31 Capa superior placa 2*



*Figura 32 Capa inferior placa 2*



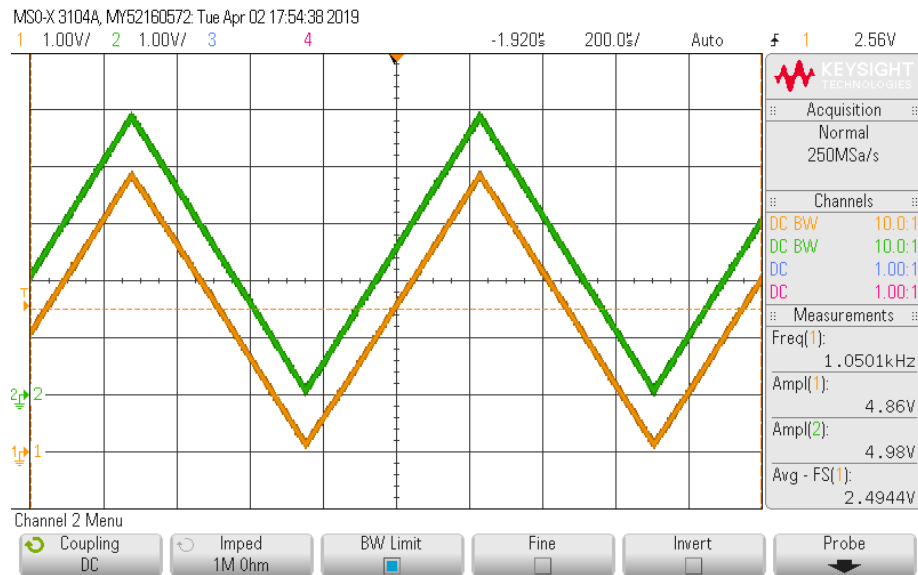
*Figura 33 Conexión con Arty-7Z*

Como en el caso de la placa anterior, tras probar el funcionamiento de esta placa también ha sido necesario modificar la ganancia para obtener una tensión de salida en el rango que queremos. Este rango de tensión es de 0 a 5 V como en el caso anterior. Para modificar la ganancia únicamente ha sido necesario escoger unas resistencias distintas para los circuitos de acondicionamiento.

Con el esquema mostrado en la Figura 19, las resistencias escogidas para realizar el ajuste de la ganancia son las siguientes:

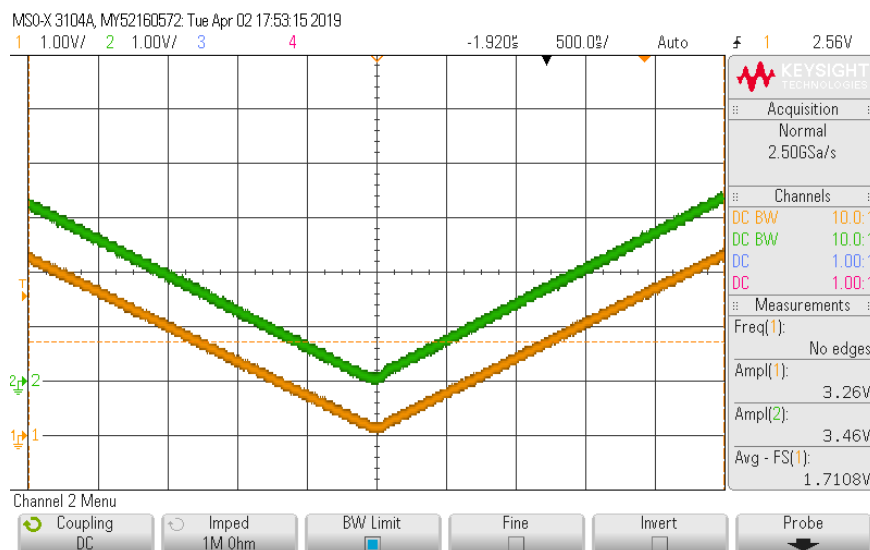
- $R1 = R2 = 27 \Omega$
- $R3 // R = R5 // R = 220 \Omega // 2,67 \text{ k}\Omega$
- $R4 = 1,1 \text{ k}\Omega$
- $R6 = R7 = 2,2 \text{ k}\Omega$

Una vez se ha obtenido la ganancia requerida tenemos la tensión de salida mostrada en la Figura 34. En esta figura observamos la tensión de salida del canal A (VOUTA) en naranja y la tensión de salida del canal B (VOUTB) en verde. Como podemos ver, ambas tensiones se encuentran aproximadamente en el rango de 0 a 5 V.



*Figura 34 VOUT1 y VOUT2 placa 2*

Por otro lado, es necesario comprobar que el problema del escalón en el cambio de pendiente de la señal de salida ha sido subsanado y que efectivamente había sido producido por el amplificador operacional escogido. Como podemos ver en la Figura 35 ya no se produce dicho escalón y, por lo tanto, el problema ha sido resuelto.



*Figura 35 Tensiones de salida placa 2*

Finalmente, es necesario indicar que se ha observado un error que hace necesaria la realización de una nueva versión de la placa 2 únicamente subsanando un error de diseño. El error sucede ya que al introducir en el DAC un dato con los 14 bits a '1' se obtiene a la salida la tensión mínima cuando debería ser la máxima y viceversa. Esto podría solucionarse a nivel de software enviando el dato negado al DAC, pero como se desea tener una versión optimizada de la placa se va a solucionar a nivel de hardware cambiando la posición de las corrientes de entrada del amplificador operacional.



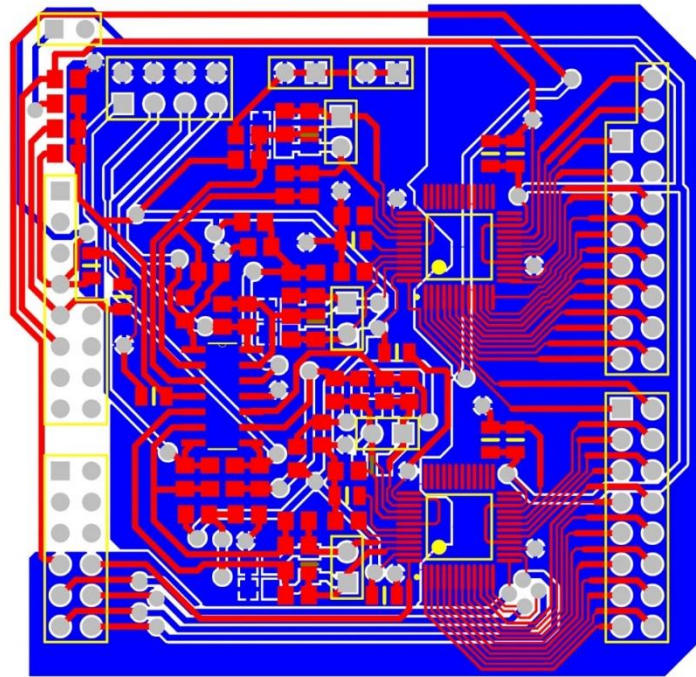
## **4.3 Placa 2 (segunda versión)**

### **4.3.1 Diseño**

Tal y como se ha explicado en el apartado 4.2.2 al realizar pruebas sobre la segunda placa se observa que al introducir un dato de entrada con los 14 bits a '1' lo que se obtiene a la salida es la tensión mínima mientras que si se introduce un dato de entrada con los 14 bits a '0' se obtiene la tensión máxima. Esto es debido a que a la entrada del Amplificador Operacional las corrientes IOUTA e IOUTB están colocadas al revés. Es por este motivo por el que se ha decidido construir la tercera placa solucionando este error de diseño.

En la Figura 36 se muestra el esquemático de esta placa, donde se puede ver que únicamente ha cambiado el lugar de las corrientes de entrada en el amplificador operacional. En la Figura 37 se muestra el rutado de la misma.

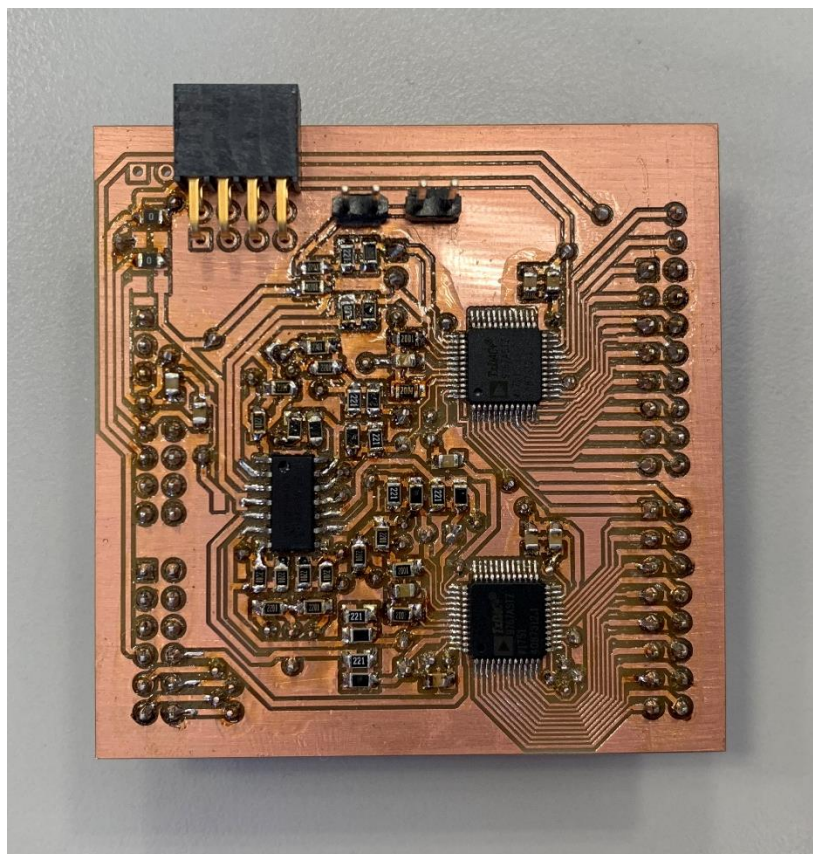




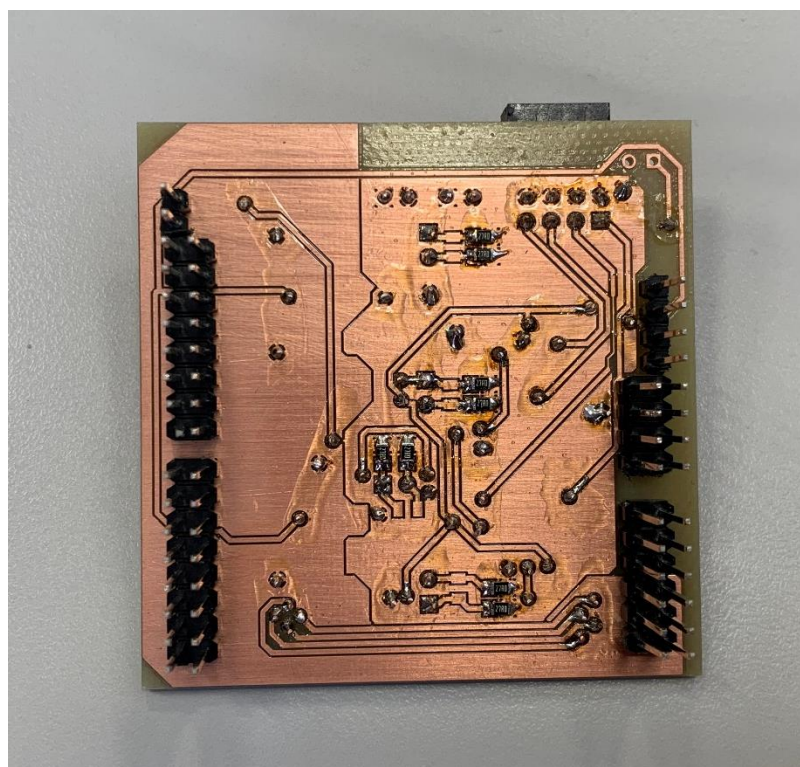
*Figura 37 Rutado versión 2*

#### **4.3.2 Resultados obtenidos**

Tras soldar todos los componentes presentes en el diseño de esta segunda versión de la placa 2 se ha obtenido el resultado que se observa en las siguientes imágenes. En la Figura 38 se observa la capa superior de la placa, en la Figura 39 la placa inferior, mientras que en la Figura 40 se observa la conexión con la placa Arty-Z7 de Digilent.

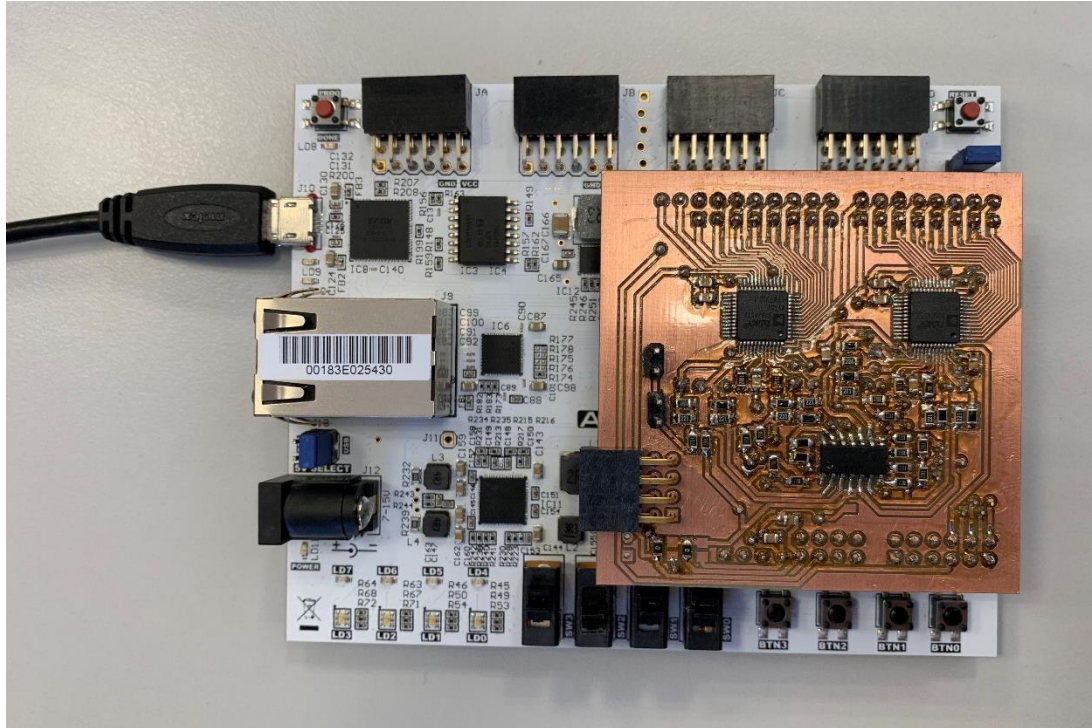


*Figura 38 Capa superior segunda versión placa 2*



*Figura 39 Capa inferior segunda versión placa 2*

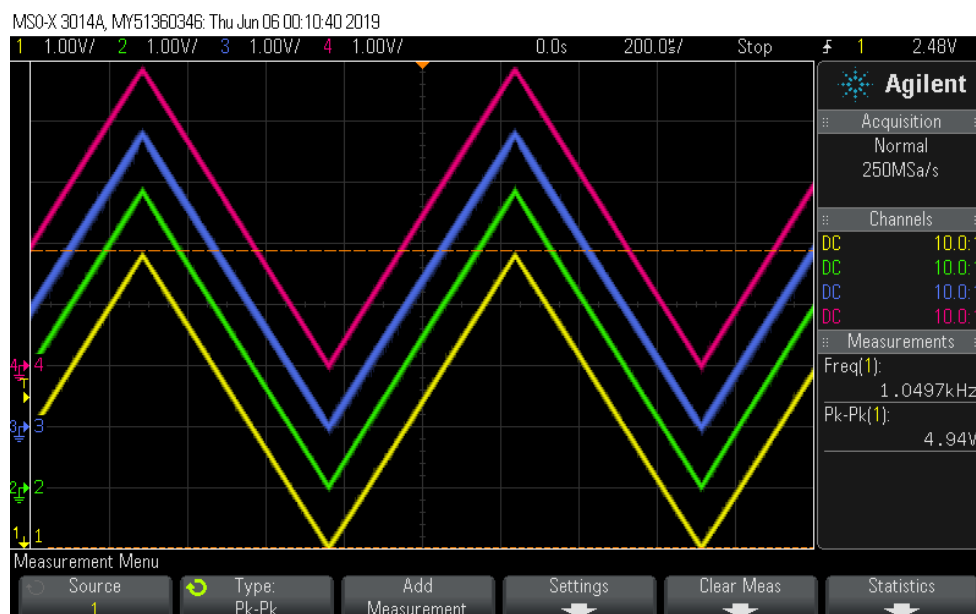




*Figura 40 Conexión con Arty-Z7*

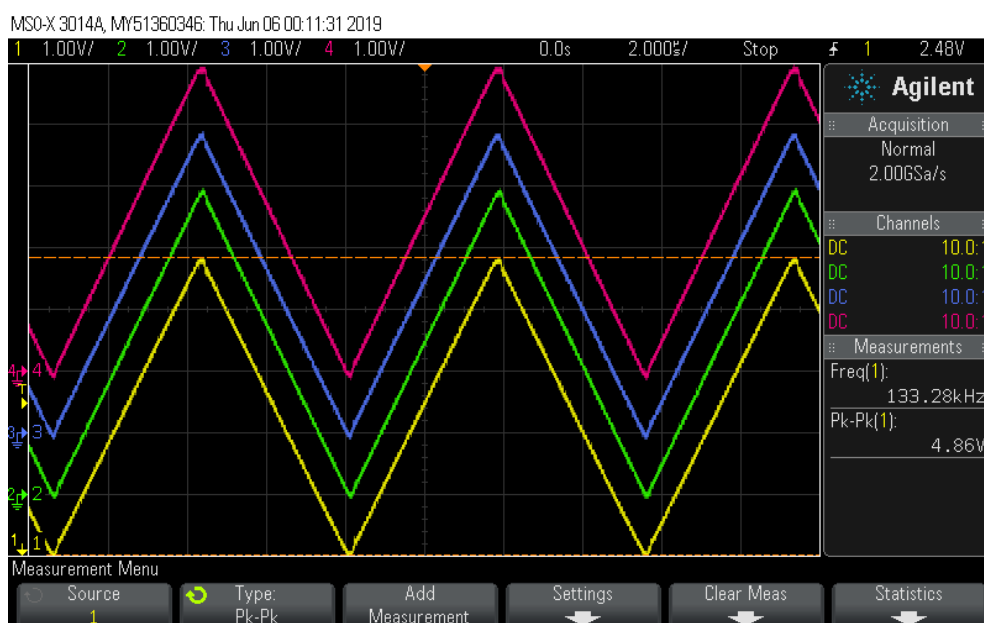
Como se ha explicado en el apartado 4.3.1 esta segunda versión es igual que la placa 2 pero solucionando el problema de diseño de la colocación de las corrientes a la entrada del amplificador operacional. Por lo tanto, contamos con 4 salidas con circuito de acondicionamiento Differential / Single supply y con las resistencias de ajuste de ganancia escogidas.

En la Figura 41 podemos observar las 4 salidas de dicha placa con velocidad mínima. En amarillo se representa VOUTA, en verde VOUTB, en azul VOUTC y el rosa VOUTD que se corresponden con las salidas del canal 1, 2, 3 y 4 respectivamente. Como se puede observar, las cuatro señales se encuentran en un rango de 0 V a 5 V.



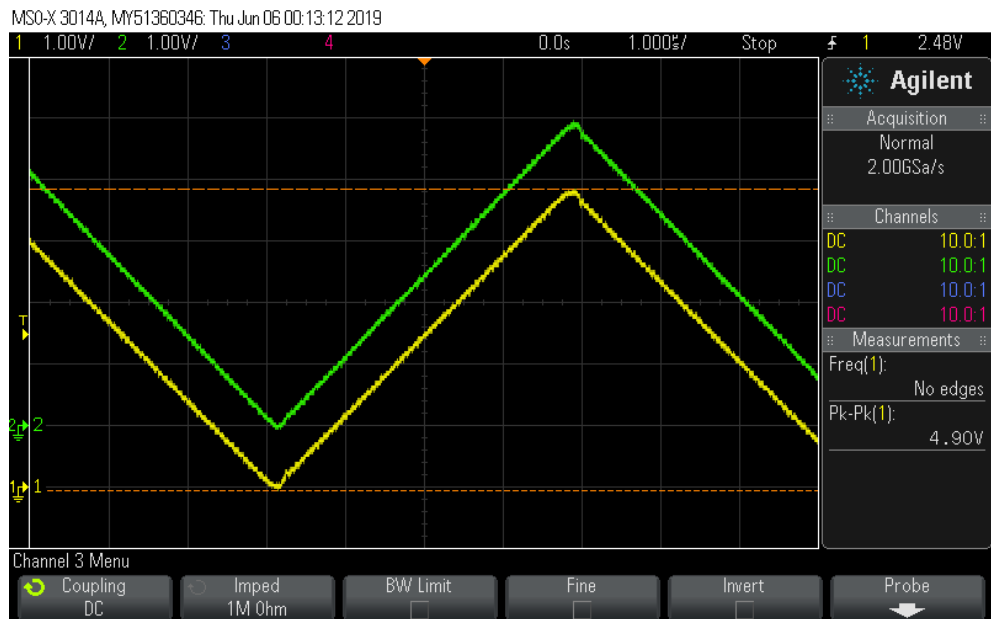
*Figura 41 Salidas VOUTA, VOUTB, VOUTC y VOUTD a velocidad mínima*

En la Figura 42 se observan las mismas salidas que en el caso anterior, pero con la máxima velocidad posible. Como se puede observar, a esta velocidad la señal se ve más deteriorada siendo más evidente el escalón producido en el cambio de pendiente de la misma.



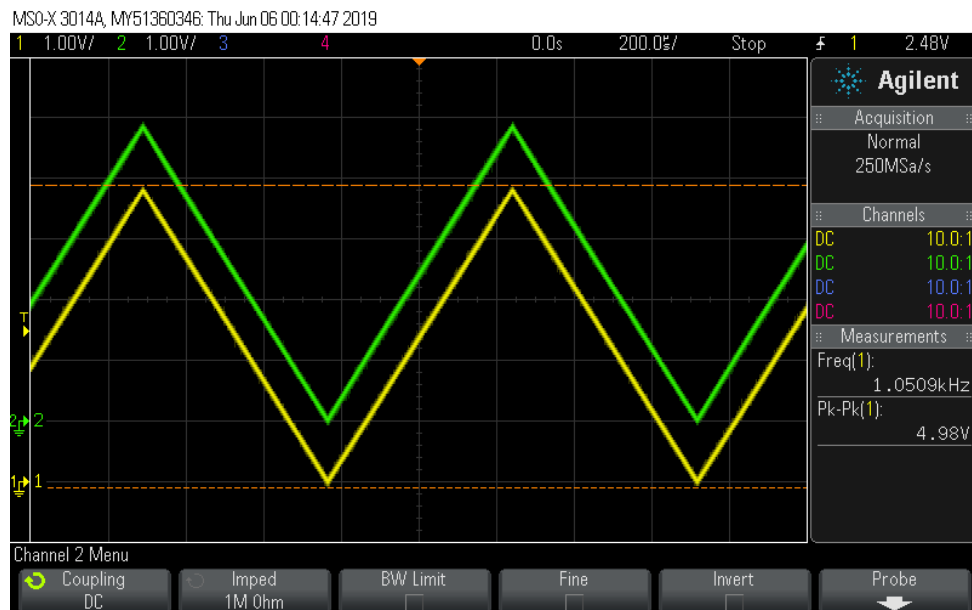
*Figura 42 Salidas VOUTA, VOUTB, VOUTC y VOUTD a velocidad máxima*

Para observar de una manera más clara el escalón que tiene lugar en los cambios de pendiente de la señal de salida se observa la Figura 43. En ella se puede ver dicho escalón de una forma más ampliada. Tal y como se ha explicado anteriormente, esta irregularidad es producida por el Amplificador Operacional y, aunque ha sido reducida con respecto a la placa 1 todavía es visible.



*Figura 43 Irregularidad producida por el Amplificador Operacional*

Finalmente, como se puede observar en la Figura 44, la irregularidad en el cambio de pendiente de la señal no se observa a una velocidad baja.



*Figura 44 Irregularidad producida por el Amplificador Operacional a baja velocidad*

## **4.4 Conclusiones tras las pruebas realizadas**

Gracias a la construcción de las diferentes placas y al estudio de los resultados obtenidos se han llegado a una serie de conclusiones que han permitido la construcción de la placa que mejores resultados proporciona.

La primera decisión que se ha tomado ha sido la de incorporar un DAC adicional al diseño de la placa 1 funcionando en modo interleaved. Gracias a este modo de funcionamiento se consigue duplicar el número de canales de salida utilizando únicamente los pines de la FPGA Arty-Z7 de Digilent disponibles. En la última versión construida contamos con cuatro canales de salida.

Por otro lado, también se ha decidido el tipo de circuito de acondicionamiento que se implementará en cada uno de los cuatro canales. Como se ha comentado durante este trabajo, es posible implementar tres tipos de circuitos de acondicionamiento que entregan a su salida una tensión en un rango de 0 a 5 V. En la primera placa se ha demostrado que la opción Differential / dual supply no puede ser implementada debido a la incompatibilidad entre el generador de tensión negativa y la propia FPGA. Por lo tanto, únicamente existen dos opciones disponibles. De entre esas dos opciones se ha demostrado que la opción Differential / single supply se comporta de manera muy similar a la opción Single ended / single supply pero es mejor en tiempo de respuesta, por lo tanto será implementada en cada uno de los cuatro circuitos de acondicionamiento. Es necesario indicar que si fuera muy importante reducir el tamaño de la placa podría incorporarse la opción Single ended / single supply ya que dicha opción utiliza un menor número de componentes. En concreto, un menor número de resistencias.

Finalmente, se ha decidido cambiar el amplificador operacional que se había utilizado en la primera placa. Esto ha sido debido a dos motivos fundamentales. El primero es que si se hubiera mantenido dicho amplificador, hubiera sido necesario incorporar uno para cada canal, lo que hubiera implicado un aumento del tamaño de la placa. El segundo motivo es que el AD8041 producía un escalón en la señal de salida cuando ésta cambiaba de pendiente. Por lo tanto, se ha decidido implementar el amplificador operacional de cuatro canales LM6644MA.



## 5 Conclusiones y trabajo futuro

---

El objetivo principal de este trabajo es la aplicación de la técnica HIL en los controladores digitales presentes en convertidores de potencia. El problema que se pretende solucionar tiene lugar al sustituir la planta analógica por un modelo digital, ya que, a la salida de la planta se tiene una señal digital y lo que se necesita es una señal analógica. Por lo tanto, en el esquema de la Figura 1 es necesario incorporar una etapa de conversión Digital-Analógica.

A lo largo de este trabajo se ha identificado el problema anteriormente descrito, se han estudiado las opciones que ofrece el mercado para solucionarlo y finalmente se ha buscado una solución gracias a la cual sería posible eliminarlo.

Este apartado se va a dividir en otros dos. En el primero de ellos se van a desarrollar una serie de conclusiones atendiendo a todo el trabajo realizado y en el segundo se va a identificar el posible trabajo futuro que mejoraría este proyecto.

### 5.1 Conclusiones

En este trabajo se ha detectado la necesidad de utilizar la técnica Hardware-In-the-Loop para testear el correcto funcionamiento de los controladores digitales presentes en los convertidores de potencia. Esta técnica es muy útil, ya que permite reducir notablemente el tiempo de pruebas de un sistema, ofrece unos resultados muy fiables y hace innecesaria la utilización del hardware real para la realización de las pruebas.

En la implementación de esta técnica se ha detectado un problema que tiene lugar al sustituir la planta analógica por su modelo digital. Este problema sucede, ya que la planta entrega a su salida señales digitales y el regulador necesita señales analógicas en su entrada, que es la entrada del sistema real. Por ello, es necesaria la incorporación de una etapa de conversión Digital-Analógica localizada a la salida de la planta y antes de la entrada del regulador.

En la primera parte de este trabajo se han conocido diversas empresas que a día de hoy son desarrolladoras de HIL y al estudiar los productos que comercializan se ha observado que los HIL comerciales incluyen la etapa de conversión Digital-Analógica requerida pero no es posible incorporarlos debido a su elevado precio. Por lo tanto, la parte digital del HIL se realizará en una placa Arty-Z7, mientras que la conversión Digital-Analógica es el objetivo de este Trabajo Fin de Máster.

En esta primera parte también se han estudiado diversos convertidores Digitales-Analógicos presentes en el mercado que solucionarían el problema anteriormente descrito y se ha demostrado que no es posible incorporar ninguno de estos convertidores en nuestro sistema, ya que, o bien los precios son muy elevados o dichos convertidores no trabajan a la velocidad requerida.

Tras identificar que no es posible incorporar ninguna solución disponible en el mercado se ha optado por el diseño de este convertidor Digital-Analógico. Para conseguir un diseño óptimo se han construido tres placas.

Gracias a la primera placa se han podido comparar diversos circuitos de acondicionamiento para llegar a la conclusión de que el que mejores resultados ofrece es el Differential / Single supply. Por otro lado, también ha sido posible determinar que el modo de funcionamiento óptimo es el modo interleaved, ya que permite multiplicar por dos el número de canales de salida manteniendo una velocidad de trabajo elevada.

En la segunda placa se ha probado la opción de incorporar un DAC más en el diseño para así poder contar con cuatro salidas, cada una de las cuales ha sido configurada con el circuito de acondicionamiento Differential/Single supply. El funcionamiento de esta placa es el esperado y satisface todos los criterios de diseño, pero se ha construido una versión mejorada de dicha placa debido a un error de diseño cometido. Lo que sucedía es que al introducir en el DAC un dato con todos los bits a 1 lo que se obtenía a la salida era la tensión mínima y no la máxima.

## **5.2 Trabajo futuro**

Una posible línea de mejora de este Trabajo Fin de Máster es la adaptación de la placa realizada a otras placas FPGA. Lo que sucede es que la versión realizada únicamente funciona para la placa Arty-Z7 de Digilent, siendo importante la adaptación de la misma a otras placas FPGA típicas como pueden ser ZedBoard, Minized, PicoZed o Pynq entre otras.

Por otro lado, se podría valorar la utilización de modelos DAC con un menor número de pines. Como se ha explicado a lo largo de este TFM el AD9767 tiene 14 bits y se ha observado que cuando uno de ellos falla el resultado es prácticamente imperceptible a la salida siempre y cuando el fallo no se haya producido en uno de los bits más significativos. Sería posible valorar la utilización de DACs de 10 bits y comparar los resultados obtenidos para ver si merece la pena aumentar el número de canales a costa de reducir el número de bits de resolución del DAC.

Otra posible mejora sería la adaptación de los niveles de tensión a la salida. En este TFM se ha utilizado el rango de tensión de 0 a 5 V en las salidas analógicas, pero es cierto que en los productos HIL comerciales el rango de salida puede llegar hasta 12 V e incluir tensiones negativas ( $\pm 12$  V). Para adaptar los niveles de tensión a la salida sería necesario utilizar fuentes de alimentación adicionales.

Finalmente, se podría realizar un estudio de los conectores de salida. El conector utilizado en este caso ha sido un conector hembra muy similar a los conectores tipo Pmod. Sin embargo, en otros productos comerciales se utilizan otros conectores para las salidas analógicas, como el conector BNC o conectores macho. Gracias a esta mejora se podría estudiar el impacto que tiene el conector de salida en el ruido de la señal.

# Referencias

---

- [1] F.Casellas, J. Esteban, F.Guinjoan, R. Piqué, H.Martínez and G. Velasco, “Simulación Mediante “Hardware In the Loop” de un convertidor Buck”, SAAEI 2014, pp. 25-27, Jun 2014.
- [2] A. de Castro, Aplicación del Control Digital Basado en Hardware Específico para Convertidores de Potencia Conmutados. PhD thesis, Universidad Politécnica de Madrid, 2003.
- [3] Typhoon HIL: <https://www.typhoon-hil.com/>
- [4] HIL DSP 100/180 Interface: <https://www.typhoon-hil.com/products/hil-dsp-interface>
- [5] HIL 604: <https://www.typhoon-hil.com/products/hil604>
- [6] HIL  $\mu$ GRID DSP Interface: <https://www.typhoon-hil.com/products/hil-ugrid-dsp-interface>
- [7] dSpace: <https://www.dspace.com/en/pub/start.cfm>
- [8] DS2211 HIL I/O Board:  
[https://www.dspace.com/en/inc/home/products/hw/phs\\_hardware/i\\_o\\_boards/hil\\_i\\_o\\_board.cfm](https://www.dspace.com/en/inc/home/products/hw/phs_hardware/i_o_boards/hil_i_o_board.cfm)
- [9] MicroAutoBox II:  
<https://www.dspace.com/en/inc/home/products/hw/micautob/microautobox2.cfm>
- [10] Automation Desk:  
[https://www.dspace.com/en/inc/home/products/sw/test\\_automation\\_software/automdesk.cfm](https://www.dspace.com/en/inc/home/products/sw/test_automation_software/automdesk.cfm)
- [11] Opal-RT: <https://www.opal-rt.com/>
- [12] OP4510 Simulator: <https://www.opal-rt.com/simulator-platform-op4510/>
- [13] OP5607: [https://www.opal-rt.com/wp-content/themes/enfold/opal/pdf/L00161\\_0336.pdf](https://www.opal-rt.com/wp-content/themes/enfold/opal/pdf/L00161_0336.pdf)
- [14] OP5031: <https://www.opal-rt.com/simulator-platform-op5031/>
- [15] AD5628: [https://www.analog.com/media/en/technical-documentation/data-sheets/AD5628\\_5648\\_5668.pdf](https://www.analog.com/media/en/technical-documentation/data-sheets/AD5628_5648_5668.pdf)
- [16] DAC121S101: <http://www.ti.com/lit/ds/symlink/dac121s101.pdf>
- [17] AD7303: <https://www.analog.com/media/en/technical-documentation/data-sheets/ad7303.pdf>
- [18] MCP4725: <https://www.sparkfun.com/datasheets/BreakoutBoards/MCP4725.pdf>
- [19] Red Pitaya: <https://www.redpitaya.com/>
- [20] Analog Discovery 2: <https://analogdiscovery.com/>
- [21] D.Sanz, Integración de un sistema de conversión Analógico-Digital en un sistema Hardware-in-the-Loop, Trabajo Fin de Grado, Universidad Autónoma de Madrid, 2018.
- [22] AD9767: [https://www.analog.com/media/en/technical-documentation/data-sheets/AD9763\\_9765\\_9767.pdf](https://www.analog.com/media/en/technical-documentation/data-sheets/AD9763_9765_9767.pdf)
- [23] LM2776: <http://www.ti.com/lit/ds/symlink/lm2776.pdf>

- [24] AD8047: [https://www.analog.com/media/en/technical-documentation/data-sheets/AD8047\\_8048.pdf](https://www.analog.com/media/en/technical-documentation/data-sheets/AD8047_8048.pdf)
- [25] AD8041: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD8041.pdf>
- [26] LMH6644: <http://www.ti.com/lit/ds/symlink/lmh6643.pdf>

## **Glosario**

---

DAC	Digital to Analog Converter
DSP	Digital Signal Processor
ECU	Engine Control Unit
FPGA	Field-Programmable Gate Array
HIL	Hardware-In-the-Loop
MSPS	Mega Samples Per Second
PCB	Printed Circuit Board
SFP	Small Form-factor Pluggable
SPI	Serial Peripheral Interface